

LaurTec

**Generatore di Funzioni DDS
5MHz**



Autore : *Ivo Colleoni*

ID: UP0007-IT

INFORMATIVA

Come prescritto dall'art. 1, comma 1, della legge 21 maggio 2004 n.128, l'autore avvisa di aver assolto, per la seguente opera dell'ingegno, a tutti gli obblighi della legge 22 Aprile del 1941 n. 633, sulla tutela del diritto d'autore.

Tutti i diritti di questa opera sono riservati. Ogni riproduzione ed ogni altra forma di diffusione al pubblico dell'opera, o parte di essa, senza un'autorizzazione scritta dell'autore, rappresenta una violazione della legge che tutela il diritto d'autore, in particolare non ne è consentito un utilizzo per trarne profitto.

La mancata osservanza della legge 22 Aprile del 1941 n. 633 è perseguibile con la reclusione o sanzione pecuniaria, come descritto al Titolo III, Capo III, Sezione II.

A norma dell'art. 70 è comunque consentito, per scopi di critica o discussione, il riassunto e la citazione, accompagnati dalla menzione del titolo dell'opera e dal nome dell'autore.

AVVERTENZE

I progetti presentati non hanno la certificazione CE, quindi non possono essere utilizzati per scopi commerciali nella Comunità Economica Europea.

Chiunque decida di far uso delle nozioni riportate nella seguente opera o decida di realizzare i circuiti proposti, è tenuto pertanto a prestare la massima attenzione in osservanza alle normative in vigore sulla sicurezza.

L'autore declina ogni responsabilità per eventuali danni causati a persone, animali o cose derivante dall'utilizzo diretto o indiretto del materiale, dei dispositivi o del software presentati nella seguente opera.

Si fa inoltre presente che quanto riportato viene fornito così com'è, a solo scopo didattico e formativo, senza garanzia alcuna della sua correttezza.

L'autore ringrazia anticipatamente per la segnalazione di ogni errore.

Tutti i marchi citati in quest'opera sono dei rispettivi proprietari.

Indice

Introduzione	4
Specifiche Tecniche	4
Applicazioni	4
La Tecnica DDS	5
L'integrato AD9833	8
Impostazioni dell'AD9833	10
Analisi del progetto	13
Sezione di Alimentazione.....	14
Scheda d'interfaccia e controllo I/O.....	15
Sezione DDS.....	17
Sezione di amplificazione e controllo dell'ampiezza.....	18
Realizzazione del sistema	20
Scheda di Alimentazione.....	20
Lista Componenti.....	21
Scheda Tastierino.....	22
Lista Componenti.....	22
Scheda DDS.....	23
Lista Componenti.....	25
Pannello frontale	27
Montaggio del sistema	27
Collaudo e Calibrazione del sistema	29
Utilizzo del sistema	31
Specifiche di uscita	32
Il Firmware	36
Analisi finale	37
File allegati	38
Bibliografia	39
History	40

Introduzione

Un generatore di segnali DDS consente di ottenere dei segnali analogici (sinusoidali e triangolari) e digitali (onda quadra) tramite sintesi digitale diretta. I componenti chiave di questo progetto sono l'AD9833 dell'Analog Devices, capace di generare una frequenza sinusoidale massima di 12.5MHz e il PIC18F2550. A valle del DDS è presente un circuito di amplificazione, con guadagno e offset impostabili nel dominio digitale.

Specifiche Tecniche

Alimentazione : 220Vac (traformatore interno).

Assorbimento : n.a.

Frequenza operativa: 1Hz-5MHz con passo di 1Hz.

Impedenza di uscita: 50Ω

Fase : Regolabile con passo 45°.

Sweep : Doppia impostazione da 1Hz a 1MHz o 20Hz a 44KHz.

Ampiezza : 8 passi fissi da 0.2V a 5Vpp (per onda quadra da 0.3V a 14vpp).

Interfaccia : Display alfanumerico 20x4 (con retroilluminazione regolabile dall'utente).

Controllo : Tastiera 5 tasti con funzioni variabili.

Memoria : Salvataggio delle impostazioni in EEPROM.

Nota:



Il sistema presentato nell'articolo ha delle parti ad alta tensione. Il progetto è pensato come sistema di sviluppo e nel realizzarlo devono essere prese le dovute precauzioni per un sistema ad alta tensione. La mancata osservanza delle norme di sicurezza può rappresentare un pericolo di vita per l'operatore. Qualora non si abbia la dovuta esperienza e qualifica è bene far compiere il montaggio del sistema a tecnici qualificati.

Applicazioni

Un generatore di funzioni permette di testare e approfondire ogni applicazione elettronica, sia essa analogica o digitale. Lo strumento presentato, grazie all'utilizzo dell'integrato AD9833 permette di generare forme d'onda sinusoidali, quadre e triangolari a frequenza e fase variabili. L'intervallo di frequenza permette di supportare applicazioni audio, video e test di sistemi sia analogici che digitali, quali per esempio filtri audio, video o amplificatori audio.

La Tecnica DDS^[5]

Prima di iniziare, vediamo la teoria relativa alla tecnologia integrata all'interno dell'AD9833, ovvero la tecnica DDS. DDS è l'acronimo di Direct Digital Synthesis, ed è un metodo per produrre una forma d'onda analogica, normalmente sinusoidale, generando un segnale tempo variante digitale, il quale viene poi convertito in analogico mediante un DAC (Digital Analog Converter) sfruttando un riferimento a frequenza fissa fornito da un oscillatore esterno.

Tutte le operazioni di sintesi della forma d'onda sono svolte in ambito digitale e questo offre numerosi vantaggi come la possibilità di commutare rapidamente le frequenze di uscita, una risoluzione in frequenza fine e dipendente, come si vedrà in seguito, dalla frequenza dell'oscillatore.

Per capire il funzionamento di questa tecnologia ed in particolare come riprodurre un segnale sinusoidale, è necessario innanzi tutto ricordare che un segnale sinusoidale può essere espresso con la funzione matematica $a = \sin(\omega t)$, la quale è periodica, ovvero si ripete allo stesso modo dopo un intervallo di tempo. Questa funzione è però non lineare, infatti per esempio il seno della somma di due angoli non è, come si potrebbe erroneamente pensare, uguale alla somma dei seni dei due angoli. La funzione inversa del seno infatti è $\omega t = \arcsin(a)$, un'altra funzione non lineare.

L'idea che sta alla base della tecnologia DDS è quella di non considerare la funzione seno ma considerare l'angolo di rotazione che invece è un'espressione lineare.

Considerando infatti quest'angolo in radianti, esso assume valori da 0 a 2π e ad ogni angolo corrisponde un unico valore di ampiezza del segnale, così come mostrato in Figura 1.

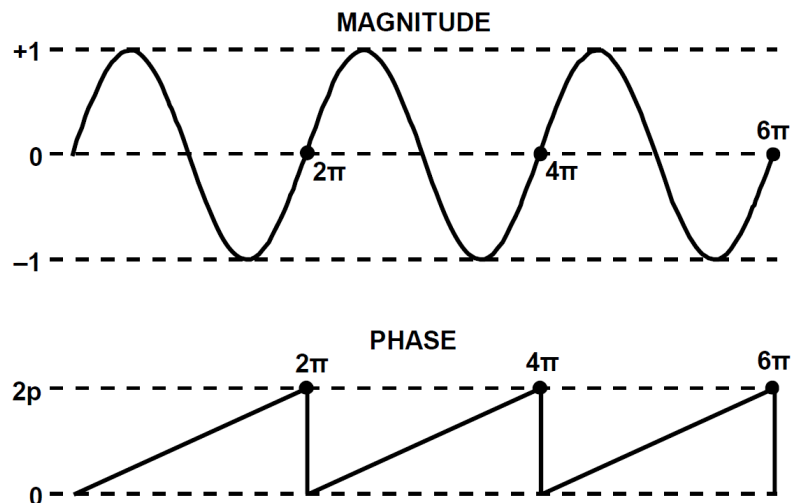


Figura 1: Funzione seno e angolo di fase. Immagine estratta dal datasheet dell'AD9833.

Lo schema a blocchi tipico di un dispositivo DDS è mostrato in Figura 2.

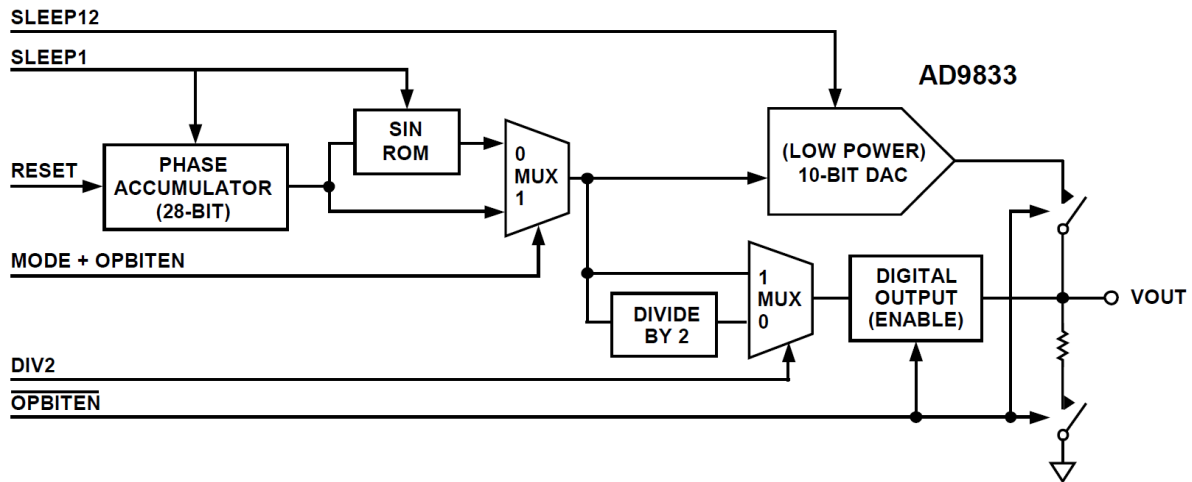


Figura 2: Schema a blocchi di un generatore a sintesi DDS. Immagine estratta dal datasheet dell'AD9833.

Esso si compone da un accumulatore di fase, un blocco di conversione fase-ampiezza (una look up table, memorizzata nella SIN ROM), un DAC ed un registro di fase.

Dunque, per prima cosa, dovendo implementare questa logica in dominio digitale, è necessario dividere l'intervallo da 0 a 2π in un numero di passi discreti e pari al numero di bit dell'accumulatore di fase, che è il primo blocco del sistema.

Possiamo rappresentare quest'intervallo su di una circonferenza, nella quale è centrato un vettore rotante che si muove alla velocità angolare imposta dall'oscillatore esterno. Il vettore parte dal valore 0 fino all'ultimo valore consentito nell'accumulatore (dopo di che l'accumulatore va in overflow) e dunque riparte dall'inizio per tracciare un'altra sinusoide.

La frequenza del segnale sinusoidale in uscita può essere modificata impostando il passo M dell'accumulatore di fase (che in realtà non è altro che un contatore binario a modulo M), ovvero l'incremento che deve avere il vettore rotante da uno step ad un altro ad ogni colpo di clock. E' quindi possibile esprimere la frequenza del segnale di uscita come:

$$f_{OUT} = (M \times f_{clk}) / 2^n$$

Ovviamente più grande è il modulo M e più grande sarà la frequenza del segnale di uscita, ovvero arrivo in un minor tempo dal valore 0 al massimo valore consentito nell'accumulatore di fase a n bit, prima che ci sia overflow. D'altro lato però, peggiore sarà la qualità del segnale di uscita perché preleverò dalla look up table (SIN ROM) un minor numero di valori di ampiezza da convertire successivamente mediante il DAC nel segnale analogico sinusoidale. Per aumentare la massima frequenza di uscita si può aumentare la frequenza del master clock di riferimento. Per il teorema di Nyquist la massima frequenza del segnale di uscita è pari alla metà della frequenza di clock, ma questo è un limite teorico. Per avere una buona qualità del segnale di uscita, cioè un buon numero di campioni, la frequenza in uscita deve rimanere a valori circa 5-10 volte inferiori alla frequenza di riferimento utilizzata dall'AD9833.

Come anticipato la SIN ROM, è la tabella di conversione fase/ampiezza che non è altro che una memoria nella quale sono memorizzati i valori in ampiezza della funzione sinusoidale. Il dato digitale prelevato dall'accumulatore di fase viene troncato prelevando i bit significativi e passato in ingresso alla tabella di conversione, all'uscita della quale mi ritroverò il valore dell'ampiezza che, anch'esso troncato, verrà passato al DAC per la conversione digitale/analogica.

E' presente inoltre il blocco del registro di fase, all'interno del quale viene memorizzato il valore di partenza del conteggio in modo da poter variare la fase del segnale in uscita.

Possiamo calcolare la minima risoluzione teorica consentita da un dispositivo con frequenza di clock

di 25MHz e un accumulatore di fase a 28bit (non considerando il troncamento che avviene nel passaggio dall'accumulatore di fase alla look up table). Ponendo il passo $M=1$ risulta $f_{OUT}=0,09\text{Hz}$. Se lo stesso dispositivo è collegato ad una frequenza di clock di 4MHz la f_{OUT} sarà uguale a 0,014Hz. Si noti che la risoluzione aumenta ma la massima frequenza in uscita è diminuita.

Ovviamente il sistema non è esente da problemi tipici dei sistemi digitali e che dipendono da vari fattori ed in particolare dal *jitter* (variazione dei valori nominali dell'oscillatore) presente sul segnale di clock, dall'errore di troncamento fra l'accumulatore di fase e la look up table e dall'errore di quantizzazione del DAC.

La bontà di un sintetizzatore DDS rispetto ad un altro è misurata mediante l'SFDR (Spurious Free Dynamic Range) definito come il rapporto tra l'ampiezza della componente a frequenza f_0 (frequenza principale) e l'ampiezza più grande delle componenti spurie presenti nello spettro. Si misura in decibel e più è grande questo valore, migliore è il comportamento del componente.

L'SFDR dipende dalla frequenza di uscita rispetto a quella di clock, infatti si ha un SFDR migliore per quelle frequenze particolari per le quali i troncamenti hanno meno effetto sull'errore.

Il segnale in uscita presenta inoltre delle armoniche a frequenze multiple rispetto a quella di clock e uscita, le quali possono essere attenuate mediante dei filtri in uscita.

Molto critico è il dimensionamento del circuito di amplificazione in uscita, così come la disposizione dei componenti e delle piste, in quanto con questi chip si raggiungono alte frequenze.

L'integrato AD9833^[5]

L'integrato AD9833 prodotto dall'Analog Device è un dispositivo che è in grado di generare una forma d'onda sinusoidale, triangolare o quadra, ad una frequenza che oscilla da 0 a 12,5MHz con clock di riferimento massimo di 25MHz (sono presenti sintetizzatori DDS anche con frequenze superiori, prodotti dalla stessa Analog Devices). Il dispositivo si alimenta con una tensione continua da 2,3V a 5,5V e assorbe solamente 12,5mW con tensione di alimentazione 3V, pertanto è adatto per sistemi alimentati a batteria e comunque portatili, date anche le minuscole dimensioni (package MSOP 10 pin).

L'integrato è programmabile attraverso un bus tipo SPI a tre fili, in grado di operare a frequenze di 40MHz. In Figura 3 è mostrato lo schema a blocchi dell'AD9833.

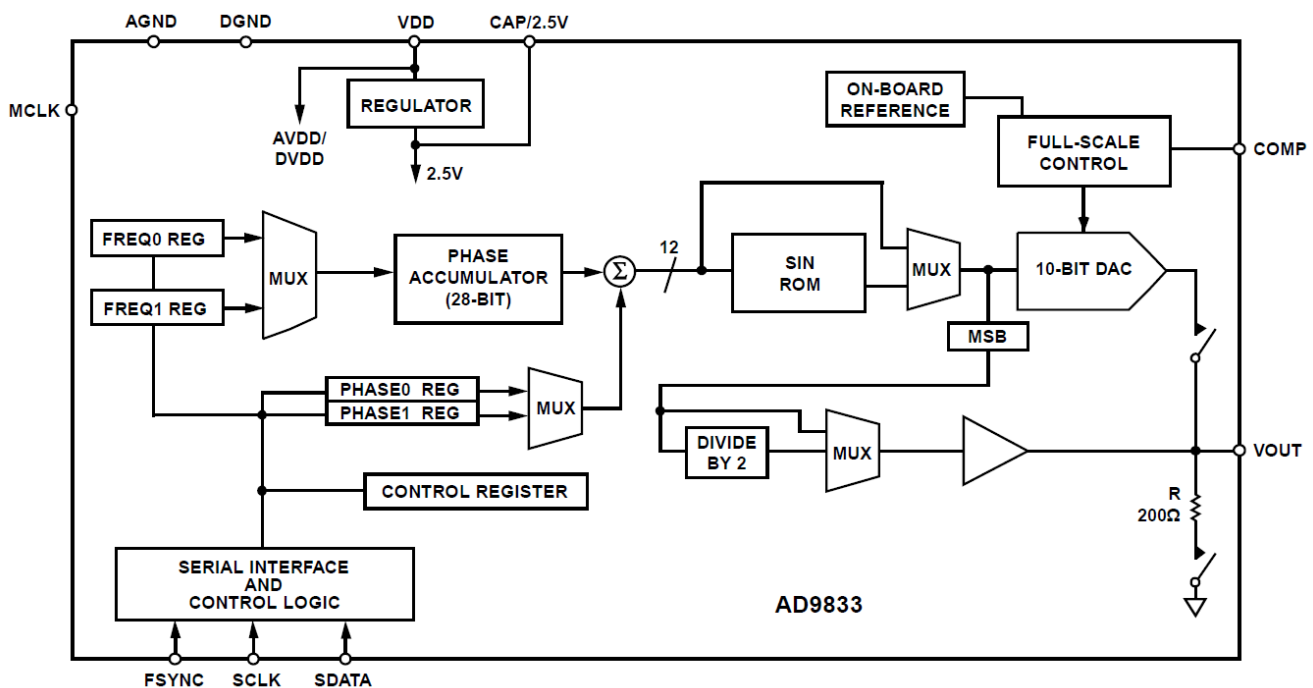


Figura 3: Schema a blocchi dell'AD9833. Immagine estratta dal datasheet dell'AD9833.

È possibile riconoscere i seguenti blocchi principali, NCO (Numerically Controlled Oscillator), modulatore di frequenza e di fase, una SIN ROM, un DAC e un regolatore lineare.

In particolare l'NCO si compone di due registri di frequenza, un accumulatore di fase a 28bit, due registri di fase collegati ad un sommatore.

L'accumulatore di fase divide l'intervallo da 0 a 2π in un numero di passi discreti pari a $2^{28}=268\cdot435\cdot456$

L'accumulatore di fase ha in ingresso il valore (la tuning word) prelevato da uno dei due registri di frequenza a 28bit (FREQ0 e FREQ1), singolarmente selezionabili mediante l'impostazione del bit FSELECT che ci consente inoltre di passare senza discontinuità da un valore di frequenza ad un altro. In uscita all'accumulatore può essere aggiunto uno sfasamento memorizzato in due registri (PHASE0 e PHASE1) singolarmente selezionabili mediante l'impostazione del bit PSELECT.

Il valore numerico in uscita dall'accumulatore di fase viene convertito in ampiezza mediante la SIN ROM. Il valore a 28bit viene troncato a 12bit ($2^{12}=4\cdot096$ valori). La SIN ROM può essere abilitata/disabilitata agendo sul bit D1 (mode).

Il valore di ampiezza proveniente dalla SIN ROM viene convertito in un valore analogico mediante un DAC a 10bit con tensione uscita di circa 0,6Vpp. Non è necessaria la resistenza di carico in uscita in quanto all'interno del dispositivo ne è presente una da 200Ω.

Infine, il regolatore interno, provvede a fornire alimentazione alla sezione digitale del dispositivo che funziona a 2,5V, abbassandone la tensione di alimentazione. Se la tensione di alimentazione è minore o uguale a 2,5V, il regolatore può essere bypassato collegando insieme i pin V_{dd} e CAP. Il dispositivo è fornito in package MSOP a 10 pin (Figura 4).

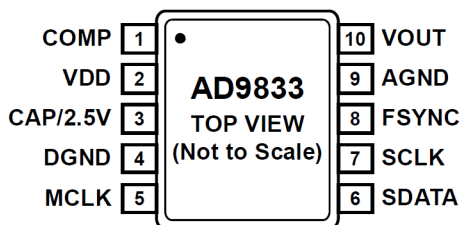


Figura 4: Pinout dell'integrato AD9833.

In particolare nella Tabella si riporta la descrizione di ogni pin.

PIN N.	NOME	DESCRIZIONE
1	COMP	Questo pin è utilizzato per disaccoppiare il DAC.
2	VDD	Pin di alimentazione compresa tra 2,3V a 5,5V. E' necessario collegare due condensatori di disaccoppiamento rispettivamente da 0.1uF e 10uF fra il pin VDD e AGND.
3	CAP/2,5V	Questo pin serve per collegare una capacità di disaccoppiamento da 100nF dedicata alla parte digitale del dispositivo alimentata a 2,5V mediante il regolatore interno. La capacità va collegata fra il pin stesso e DGND.
4	DGND	Massa dei circuiti digitali.
5	MCLK	Clock di riferimento per la parte DDS.
6	SDATA	Su questo pin va collegato il dato seriale di ingresso a 16 bit.
7	SCLK	Clock del sistema bus di comunicazione. Il dato è caricato ad ogni fronte di discesa del segnale.
8	FSYNC	Quando il segnale applicato su questo pin va a zero il dispositivo avvia la ricezione dei dati.
9	AGND	Massa della parte analogica.
10	VOUT	Segnale in uscita.

Impostazioni dell'AD9833

Il cuore del sistema è l'AD9833, un integrato DDS (Direct Digital Synthesis). Come detto, l'integrato utilizza un accumulatore di fase pilotato da un Clock esterno con frequenza massima di 25MHz (in questo circuito è utilizzato un oscillatore a 32,768MHz, fuori specifica ma funziona ugualmente bene) per estrarre i campioni di forma d'onda memorizzati nella ROM interna.

I comandi sono inviati al DDS tramite protocollo SPI a tre fili e parole da 16bit. L'AD9833 dispone di 3 registri nei quali è possibile scrivere tutte le informazioni che servono per il corretto funzionamento, l'impostazione della frequenza e della fase. Per selezionare in quale dei 3 registri scrivere si utilizzano i 2 bit più alti di ogni parola a 16 bit inviata. I registri presenti sono:

- **FREQREG**: registro a 28 bit (necessita di 2 parole da 16 bit) nel quale va inserito il valore relativo alla frequenza in uscita. L'AD9833 ha 2 registri dedicati alla programmazione della frequenza: FREQREG0 e FREQREG1 utilizzabili indipendentemente (in questo progetto viene utilizzato sempre FREQREG0).

D15, D14 = 01: si scrive in FREQREG0

D15, D14 = 10: si scrive in FREQREG1

- **PHASEREG**: registro a 12 bit nel quale va inserito il valore relativo alla variazione di fase in uscita. L'AD9833 ha 2 registri dedicati alla programmazione della fase: PHASEREG0 e PHASEREG1 utilizzabili indipendentemente (in questo progetto viene utilizzato sempre PHASEREG0).

D15 - D13 = 110: si scrive in PHASEREG0

D15 - D13 = 111: si scrive in PHASEREG1

- **CONTROL REGISTER**: registro a 14 bit utilizzato per impostare la forma d'onda selezionata, i registri di fase, la frequenza da utilizzare, il Reset e lo Sleep, e in fase di caricamento di un dato in FREQREG, se si vuole mandare un dato completo da 28 bit oppure variare solamente i 14 bit alti o bassi del valore già contenuto in FREQREG.

D15 - D14 = 00: si invia un dato da inserire nel CONTROL REGISTER

D13 = 1: caricamento di un dato a 28 bit.

Sostanzialmente per scrivere nel CONTROL REGISTER e in PHASEREG basta inviare al DDS 2 byte contenenti il valore desiderato (partendo sempre dal bit più significativo) impostando opportunamente il valore di D15 e D14 per selezionare il registro.

Per scrivere in FREQREG, essendo un registro a 28 bit, bisogna prima "avvertire" il DDS che si sta inviando una parola a 28 bit impostando a 1 D13 del CONTROL REGISTER (D15, D14 = 00 D13=1 D12-D0=x) e poi scrivere, sempre nello stesso registro FREQREG, in successione prima i 2 byte meno significativi (impostando i 2 bit più significativi D15,D14 per selezionare il registro utilizzato) e poi i 2 byte più significativi (sempre impostando correttamente i 2 bit più significativi). Facendo un esempio se si vuole scrivere FFFC000 in FREQREG0 si deve seguire la seguente procedura:

1. Inviare al DDS 001xxxxx xxxxxxxx (D15,D14 = 00: CONTROL REGISTER D13=1: si sta per mandare una parola da 28bit).
2. Inviare al DDS 01000000 00000000 (D15,D14 = 01: FREQREG0 D13-D0 parte meno significativa da scrivere in FREQREG).

3. Inviare al DSS 01111111 11111111 D15,D14 = 01: FREQREG0 D13-D0 parte più significativa da scrivere in FREQREG).

Impostazione della Frequenza

Per impostare in uscita una determinata frequenza, bisogna calcolare il valore da impostare in FREQREG per ottenere tale frequenza.

Dal datasheet si legge che la frequenza di uscita è data dalla frequenza del clock diviso il valore massimo dell'accumulatore, moltiplicato per il valore mandato all'accumulatore.

$$F_{out} = \frac{F_{mclk}}{2^{28}} \cdot FREQREG$$

Chiamando K la costante data dal rapporto fra il Master Clock e 2^{28} e sostituendo nella formula precedente:

$$K = \frac{F_{mclk}}{2^{28}}$$

$$F_{out} = K \cdot FREQREG \quad \text{ovvero} \quad FREQREG = \frac{F_{out}}{K}$$

Per ragioni di comodità nei calcoli all'interno del software ho scelto di utilizzare un clock di 32,768MHz al fine di facilitare i conti. Questa frequenza è superiore ai 25MHz massimi dichiarati dal datasheet del DDS ma si comporta bene comunque. Con questo clock si ottiene:

$$K = \frac{32768000}{2^{28}} = 0,12207031$$

Ciò significa che ad ogni incremento unitario di FREQREG la frequenza in uscita aumenta di 0,122Hz. Sempre per semplificare il tutto ho deciso di impostare la frequenza a step di 1Hz. Quindi si rende necessario inserire nella formula una costante M per la quale

$$K \cdot M = 1$$

per cui :

$$M = \frac{1}{K} = \frac{1}{0.12207031} = 8.192$$

poiché

$$K = \frac{1}{M}$$

sostituendolo nella formula precedente si ha:

$$FREQREG = \frac{F_{out}}{K} = \frac{F_{out}}{\frac{1}{M}} = F_{out} \cdot M$$

In conclusione, per calcolare il valore da inserire in FREQREG si deve moltiplicare la frequenza desiderata in uscita per 8,192 (calcolo banale se fatto normalmente o in linguaggi di programmazione ad alto livello, un po' meno se fatto in Assembly).

Inizialmente il clock utilizzato era di 16,384Mhz ma la frequenza sinusoidale massima utilizzabile era poco più di 1MHz.

Impostazione della Fase

Per l'impostazione della fase è stato utilizzato un approccio diverso per evitare calcoli ancora più complessi nel Firmware. Il registro di fase PHASEREG è un registro a 12 bit, ne consegue che per avere una variazione di fase di 360° si deve impostare il registro al suo valore massimo ($2^{12} = 4096$).

Ho deciso di poter impostare la fase a step di 45°, ne deriva che, ad ogni scatto di 45° il valore di PHASEREG dev'essere incrementato di 512 ($4096/8 = 512$). Ragionando in esadecimale $512d = 0x200$ quindi a fase 0° PHASEREG sarà 0x0000 fase 45° PHASEREG sarà 0x0200 a fase 90° PHASEREG sarà 0x0400 e così via.

Si deduce che il byte meno significativo sarà sempre 0x00 mentre il byte più significativo può valere 0, 2, 4, 6, 8, A, C, E ($10 = 0x1000 = 4096d$ ritorno a 0).

Analisi del progetto

Il generatore di segnali, al fine di semplificare la realizzazione, è stato suddiviso in tre sub sistemi. Una parte di alimentazione, che permette di ottenere tutte le tensioni necessari per il corretto funzionamento del sistema, il generatore di segnali vero e proprio e un'interfaccia di input. Sebbene il generatore di segnali sia stato sviluppato su di una sola scheda, è possibile suddividere il tutto in vari sub-sistemi funzionali. Questa divisione permette una più facile spiegazione del sistema stesso.

In particolare è possibile individuare le seguenti parti principali

- Sezione di alimentazione
- Sezione d'interfaccia e controllo I/O
- Sezione per il controllo dell'ampiezza
- Sezione DDS

I dettagli di ogni scheda e sub-sistema sono di seguito riportati.

Sezione di Alimentazione

La scheda di alimentazione, il cui schema elettrico è riportato in Figura 5, è stata progettata per avere una separazione massima tra sezione digitale, sezione analogica e sezione di amplificazione ed è stata realizzata su un PCB separato dal resto del circuito. Per la sezione digitale e la sezione analogica del DDS sono fornite due linee da 5V tramite 2 LM7805; queste hanno la massa in comune ma si collegano in un unico punto tramite una resistenza da 0 Ohm.

Per la sezione di amplificazione è fornita un'alimentazione duale da +12V e -12V tramite un LM7812 e un LM7912; anche la massa della sezione di amplificazione e della sezione analogica vengono collegate tramite una resistenza da 0 Ohm.

Le resistenze da 0 Ohm possono essere installate sia sul PCB dell'alimentatore sia sul PCB principale, e possono essere sostituite con dei ferrite bead per separare maggiormente le masse.

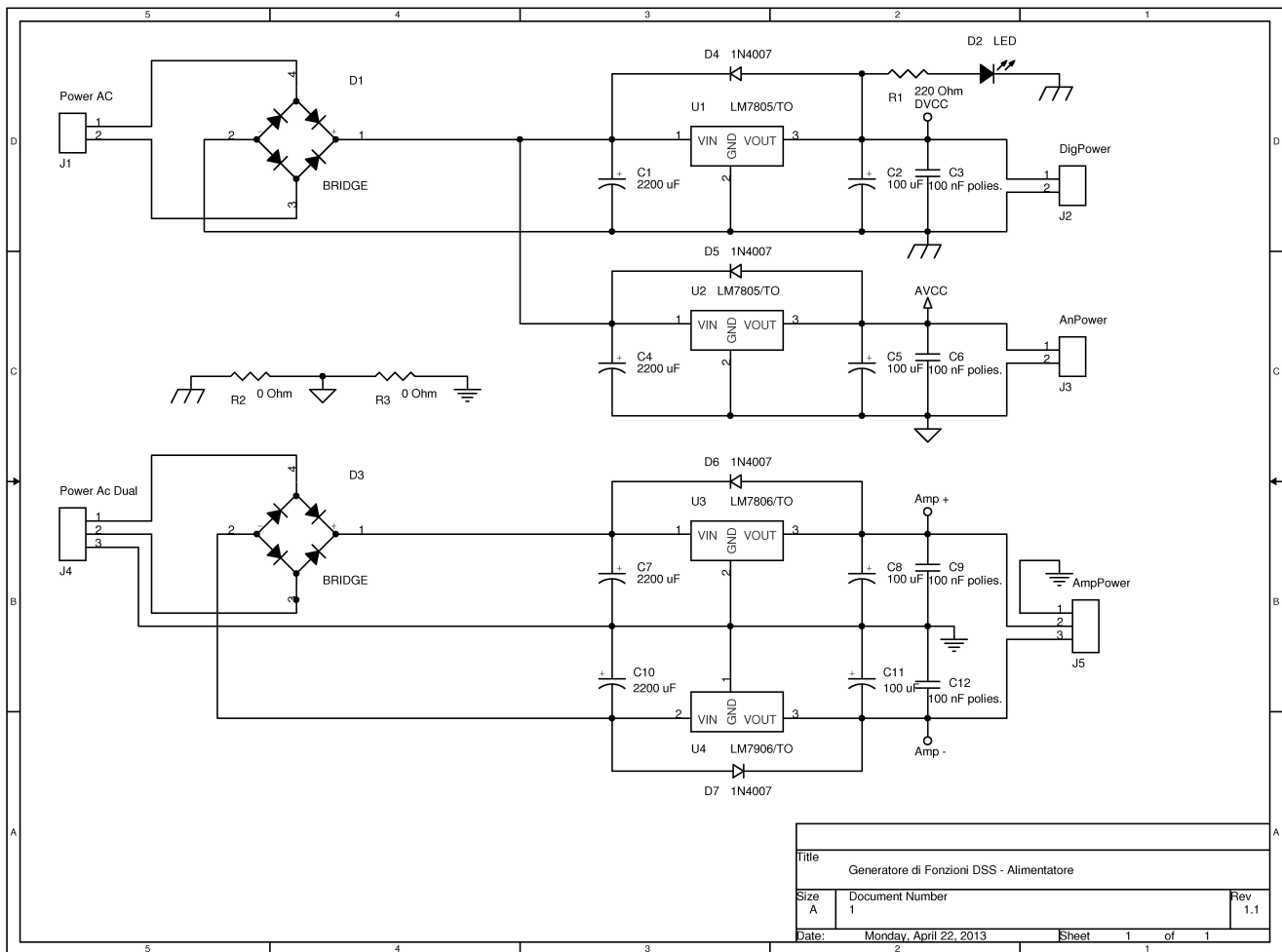


Figura 5: Schema elettrico della sezione di alimentazione.

Scheda d'interfaccia e controllo I/O

Il microcontrollore che gestisce l'interfaccia utente, la programmazione del DDS, del potenziometro digitale e dei multiplexer è un PIC18F2550 con oscillatore esterno impostato a 4MHz ma, grazie al PLL interno, funziona a 32MHz. Gli input hanno resistenze di pull down per mantenere una logica positiva all'interno del firmware e condensatori di debounce per evitare che interferenze facciano rilevare false pressioni dei pulsanti. Alcuni dettagli sono riportati in Figura 6.

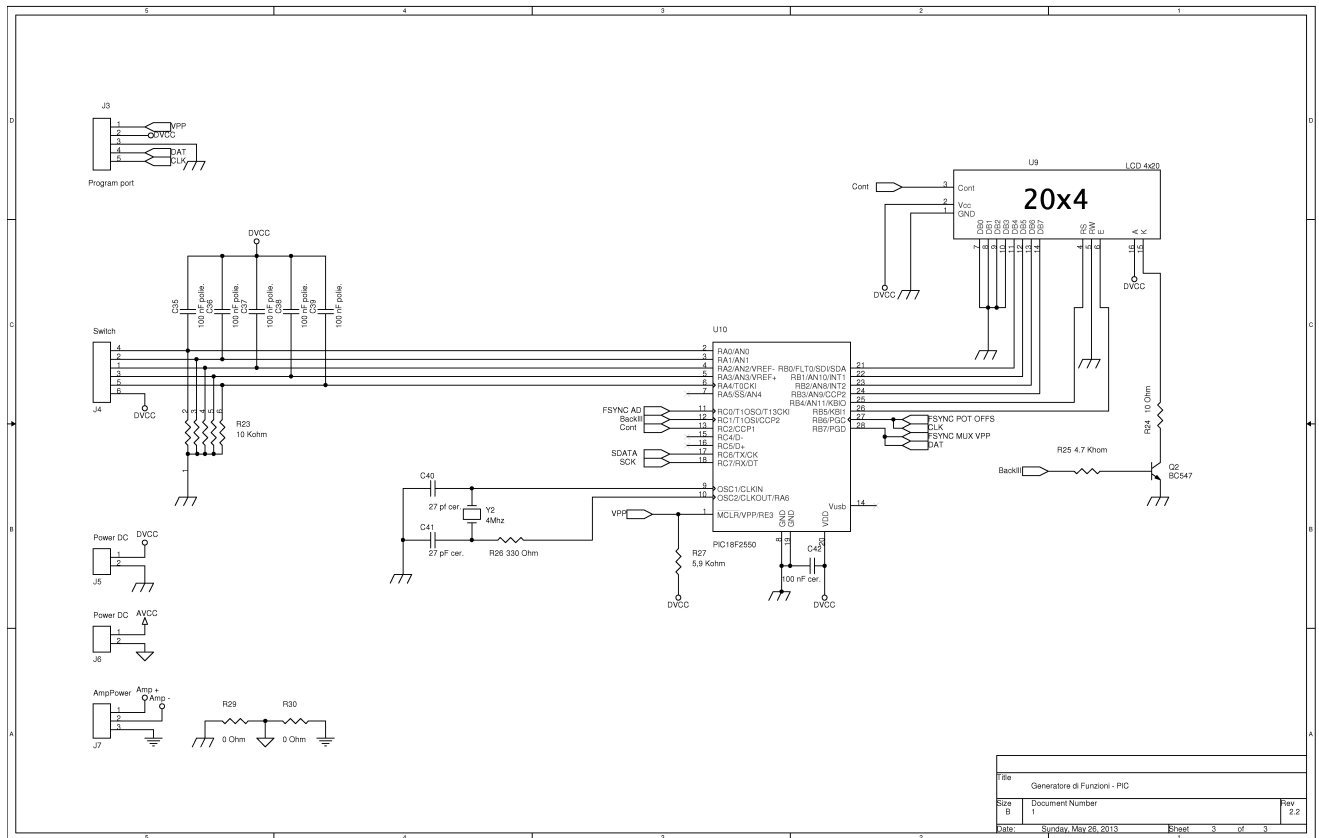


Figura 6: Schema elettrico della sezione d'interfaccia e controllo I/O.

Gli I/O del microcontrollore si dividono in:

Pulsanti

- UP (RA0): incrementa i valori o sposta il cursore in alto nei menu.
- DOWN (RA1): decrementa i valori o sposta il cursore in basso nei menu.
- ENTER (RA5): conferma il valore inserito o la selezione del campo nei menu.
- LEFT/RIGHT(RA3,RA4): tasti posti sotto l'LCD con funzione specificata sul display ogni volta che possono essere utilizzati.

LCD

- D4 – D7 (RB0-RB3): dato inviato all'LCD.
- RS (RB4): indica se si sta inviando un comando (RS=0) oppure un dato da visualizzare (RS=1).
- E (RB5): abilita l'LCD alla lettura del dato sui pin D4 – D7 (attivo basso).

PWM

- RC1: uscita in PWM per la gestione della retroilluminazione.
- RC2: uscita in PWM per la gestione del contrasto.

SPI

- DATA (RC6): dato seriale SPI.
- CLOCK (RC7) : comunicazione SPI
- FSYNC AD (RC0): abilitazione per il DSS alla ricezione dei dati (attivo basso).
- FSYNC MUX VCC (RB7): abilitazione dei multiplexer per la gestione dell'ampiezza.
- FSYNC OFFS VCC (RB6): abilitazione per il potenziometro digitale dedicato all'offset.

Nota

Il protocollo SPI viene simulato all'interno del firmware e non viene utilizzato quello integrato all'interno del microcontrollore). Sul PCB sono presenti i morsetti per le alimentazioni e connettore per la programmazione in circuit del microcontrollore.

Sezione DDS

La sezione dedicata al DDS è formata solamente dall'AD9833 e dal Master Clock da 32,768MHz. Particolare attenzione va data ai condensatori C30 e C31. Per avere risultati migliori ho installato, come raccomandato sul datasheet, un condensatore al tantalio da 10uF in parallelo a uno da 100nF ceramico.

I 2 diodi sull'uscita servono per limitare l'ampiezza del segnale in uscita a 1,4V; infatti per onde sinusoidali e triangolari la tensione di picco è sempre 0,68V mentre per l'onda quadra la tensione di picco corrisponde a Vcc, quindi 5V. I diodi sfruttano la tensione di soglia di una giunzione PN (circa 0,7V), mettendo 2 diodi in serie si ottiene che: fino a 1,4V si comporteranno come un circuito aperto mentre sopra 1,4V si comporteranno come un cortocircuito limitando il segnale appunto a 1,4V. In realtà tra 1V e 1,4V c'è una leggera non linearità ma non altererà mai le onde sinusoidali o triangolari perché resteranno sempre fisse a 0,68V. Questa limitazione delle onde quadre serve ad impedire che lo stadio di amplificazione successivo vada in saturazione e permette di mantenere un minimo di controllo anche sull'ampiezza dell'onda quadra.

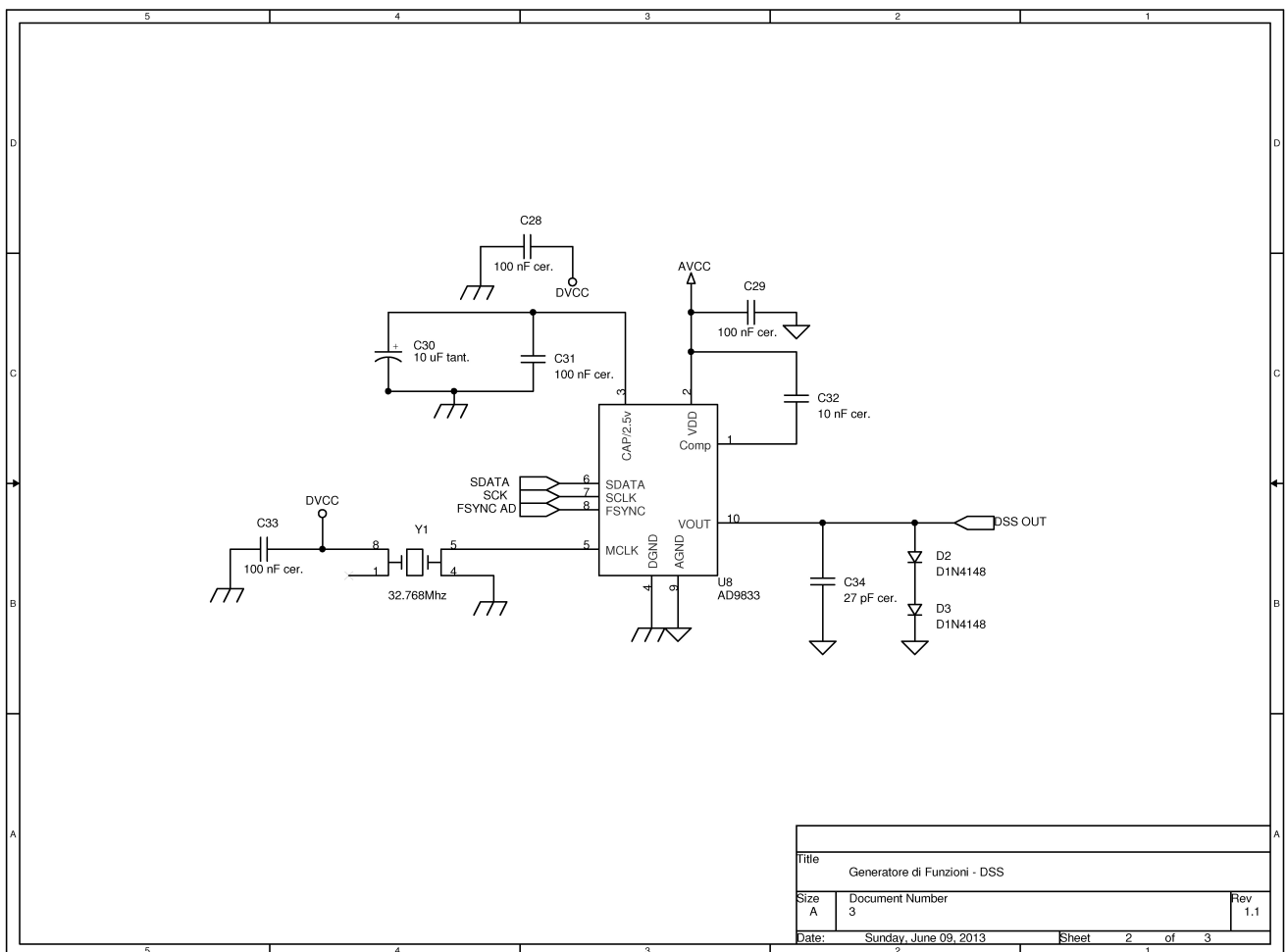


Figura 7: Schema elettrico della sezione dell'integrato DDS AD9833.

Sezione di amplificazione e controllo dell'ampiezza

La sezione di amplificazione è formata da tre amplificatori operazionali LT1357, un LT1222 della Linear Technology e due Multiplexer digitali ADG1438 dell'Analog Devices .
 Gli LT1357 hanno un prodotto guadagno-larghezza di banda (GBW) di 25MHz con alimentazione $\pm 15V$ quindi sono adatti dove il guadagno è unitario o poco più perché oltre ad essere lineari fino a 25MHz attenuano le frequenze più elevate mantenendo pulito il segnale.
 L'LT1222 ha un prodotto guadagno-larghezza di banda (GBW) di 500 MHz con alimentazione $\pm 15V$; questo garantisce una banda passante di circa 50MHz al guadagno massimo utilizzato in questo progetto ($V_o/V_i=8,57$).

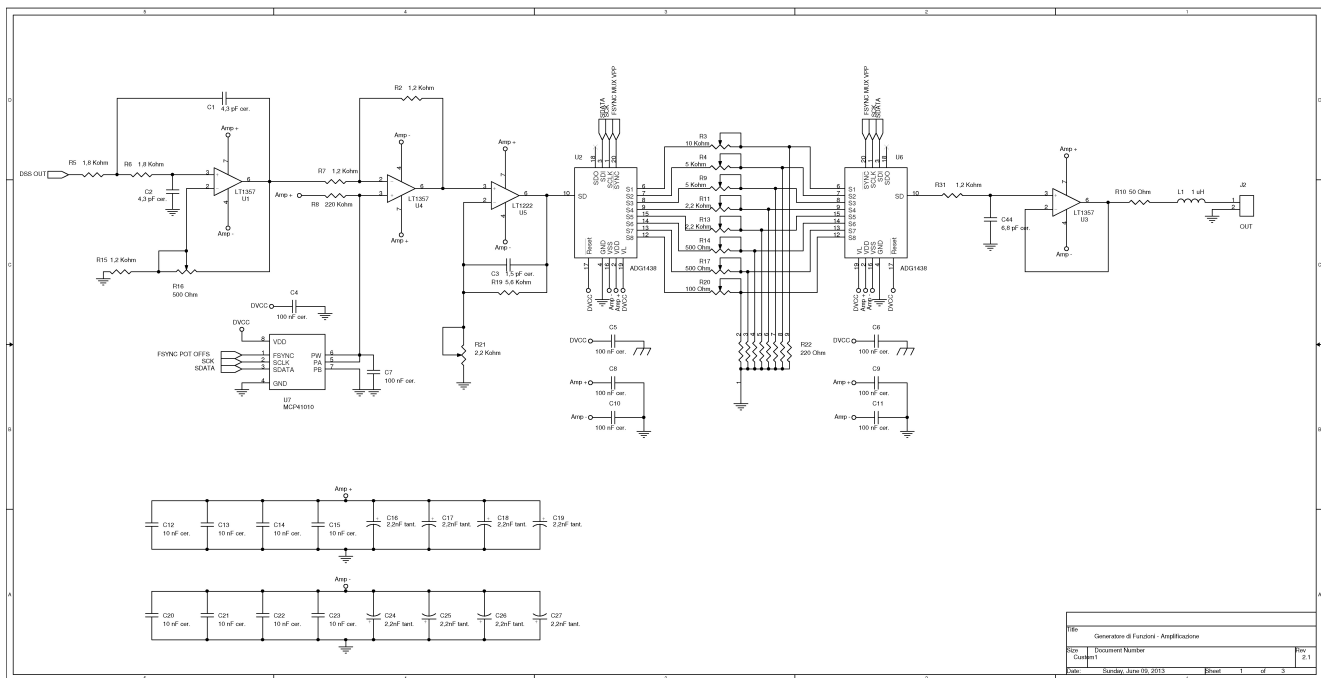


Figura 8: Schema elettrico della sezione d'amplificazione e controllo dell'ampiezza.

Il primo operazionale ha la funzione di filtro passa basso attivo di secondo grado in configurazione Sallen-Key con frequenza di taglio di 20,563 MHz:
 Il filtro ha un guadagno regolabile, tramite trimmer R16, da a 1 a 1,41 per portare il segnale a 0,7Vpp.
 Il secondo operazionale è un sommatore invertente con guadagno unitario dedicato alla regolazione dell'offset impostabile digitalmente tramite il potenziometro digitale MCP41010. Il potenziometro digitale forma un partitore di tensione con R8.
 Il terzo operazionale è un amplificatore in configurazione non invertente con guadagno fisso, regolabile tramite il trimmer R21 ad 8,57 per portare il segnale a 6Vpp.
 Anche su questo operazionale è presente un filtro passa basso, con frequenza di taglio di 18,947MHz.

I 2 Multiplexer ADG1438 sono programmati per mezzo dell'interfaccia SPI e servono per selezionare uno degli 8 partitori per portare l'ampiezza da 6Vpp all'ampiezza selezionata su display. E' stata adottata questa soluzione perché quella con maggiore banda passante e miglior risultato finale.
 Dopo i multiplexer è stato inserito un ulteriore filtro passa basso con frequenza di taglio di 19,504MHz.

In fine, un ultimo operazionale in configurazione buffer separa il segnale dall'uscita e una resistenza

da 50 Ohm e un'induttanza adattano l'impedenza in uscita.

La gestione dell'ampiezza è stata implementata utilizzando una coppia di Multiplexer Analog Devices ADG1438 con banda passante da 82MHz, alimentazione duale e programmazione SPI. Il primo Multiplexer invia il segnale ad una delle 8 uscite ognuna delle quali ha un partitore di tensione calibrato per ottenere l'ampiezza desiderata; il secondo Multiplexer collega uno degli 8 ingressi (identico all'uscita del primo) e riporta il segnale all'uscita.

Per la gestione dell'offset si è fatto uso di un potenziometro digitale MPC41010 della Microchip (interscambiabile con MCP41050). Inizialmente era previsto un secondo potenziometro digitale per la gestione dell'ampiezza del segnale in uscita, ma la scarsa banda passante rendeva il segnale in uscita utilizzabile fino a 50KHz.

L'MCP41010 ha una resistenza variabile di 10K divisa in 255 step ed è programmabile per mezzo dell'interfaccia SPI. La programmazione del potenziometro avviene mandando 2 byte in successione: il primo identifica la modalità di funzionamento del potenziometro, che per questa serie di potenziometri è sempre costante (primo byte = 00010001: D4=1:write data, D0=1 potenziometro 0), mentre il secondo byte identifica il valore della resistenza da impostare. Nella gestione dell'offset vengono utilizzati tutti i 255 valori possibili della resistenza quindi non è necessario fare calcoli, viene semplicemente incrementato il valore da inviare al potenziometro in modo lineare da 0 a 255.

Realizzazione del sistema

Come detto il progetto è stato realizzato su più PCB al fine di agevolare la realizzazione dello stesso e permettere un più semplice assemblaggio delle varie parti. In particolare sono stati realizzati tre diversi PCB:

- Scheda Alimentazione
- Scheda Input-Output
- Scheda DDS

Vista la natura dei segnali a radio frequenza della scheda DDS e il numero elevato dei componenti presenti, la scheda è stata realizzata su PCB con doppia faccia. Questo da un lato porta alcune complicazioni nella realizzazione in casa, ma ha permesso di raggiungere ottime performance. Tutti i file per realizzare i PCB sono disponibili per il download.

Scheda di Alimentazione

Lo schema di montaggio dell'alimentatore è riportato in Figura 9.

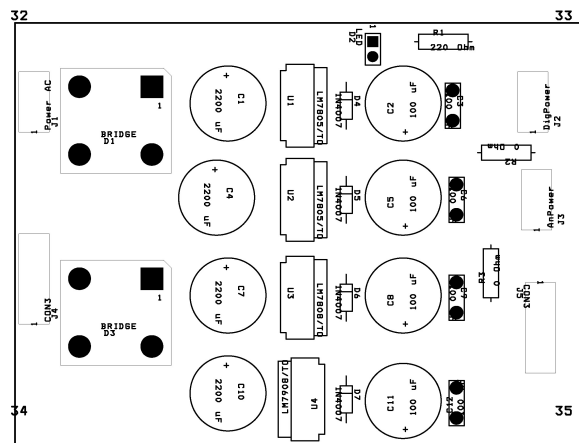


Figura 9: Schema di montaggio dell'alimentatore.

Il PCB monofaccia dell'alimentatore è riportato in Figura 10.

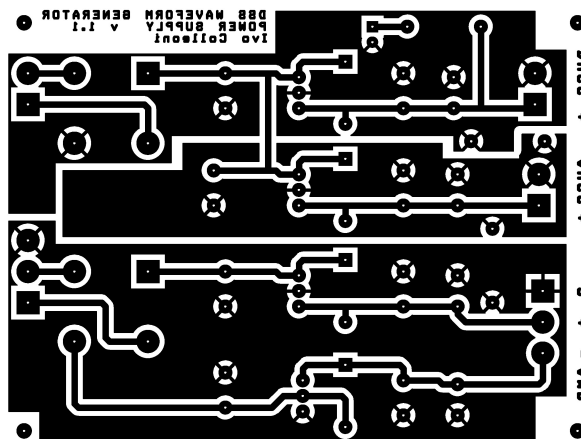


Figura 10: PCB dell'alimentatore.

L'alimentatore a montaggio ultimato è riportato in Figura 11.

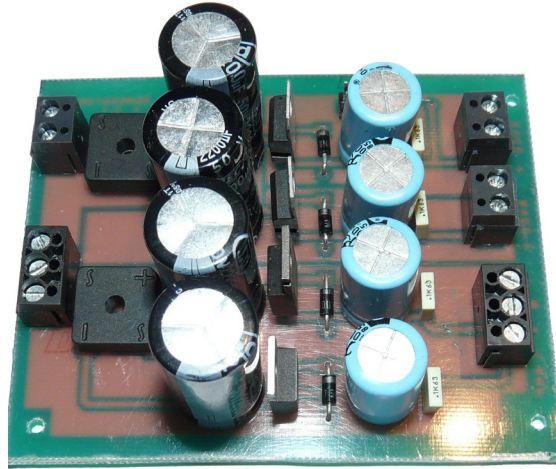


Figura 11: Alimentatore a montaggio ultimato.

Lista Componenti

Resistori

R1 = 220Ω %5 1/4W

Condensatori

C1 = 2200uF 30V elettrolitico

C2 = 100uF 30V elettrolitico

C3 = 100nF 50V ceramico

C4 = 2200uF 30V elettrolitico

C5 = 100uF 30V elettrolitico

C6 = 100nF 50V ceramico

C7 = 2200uF 30V elettrolitico

C8 = 100uF 30V elettrolitico

C9 = 100nF 50V ceramico

C10 = 2200uF 30V elettrolitico

C11 = 100uF 30V elettrolitico

C12 = 100nF 50V ceramico

Diodi

D1 = Ponte Diodi 1A 100V

D2 = Diodo LED

D3 = Ponte Diodi 1A 100V

D4 = 1N4004

D5 = 1N4004

D6 = 1N4004

D7 = 1N4004

Connettori

J1 = Con-Wago 2 poli

J2 = Con-Wago 2 poli

J3 = Con-Wago 2 poli

J4 = Con-Wago 3 poli

J5 = Con-Wago 3 poli

Circuiti Integrati

U1 = LM7805

U2 = LM7805

U3 = LM7812

U4 = LM7912

Scheda Tastierino

Lo schema di montaggio del tastierino è riportato in Figura 12.

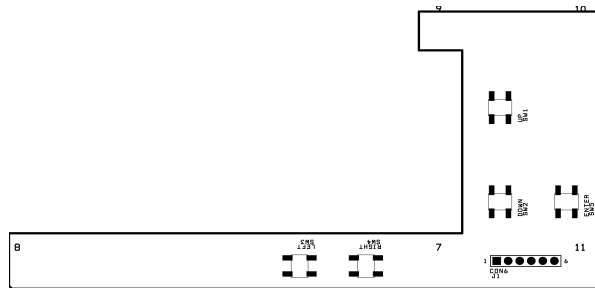


Figura 12: Schema di montaggio del tastierino.

Il PCB monofaccia del tastierino è riportato in Figura 13.

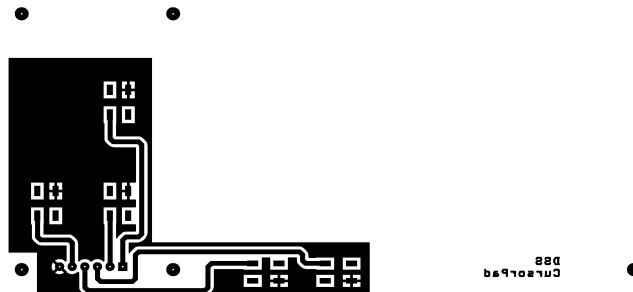


Figura 13: PCB del tastierino.

Il tastierino a montaggio ultimato è riportato in Figura 14.

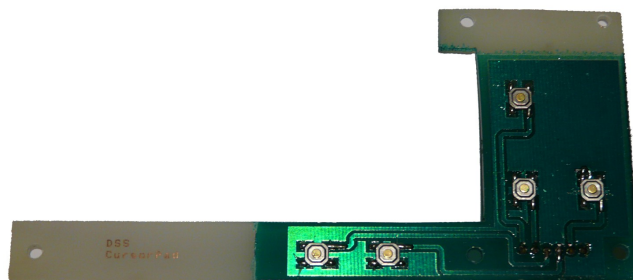


Figura 14: Tastierino a montaggio ultimato.

Lista Componenti

Pulsanti

BT1-BT5 = minipulsanti SMD

Connettori

J1 = strip maschio 6 pin passo 2.54mm

Scheda DDS

Lo schema di montaggio della scheda DDS è riportato in Figura 15.

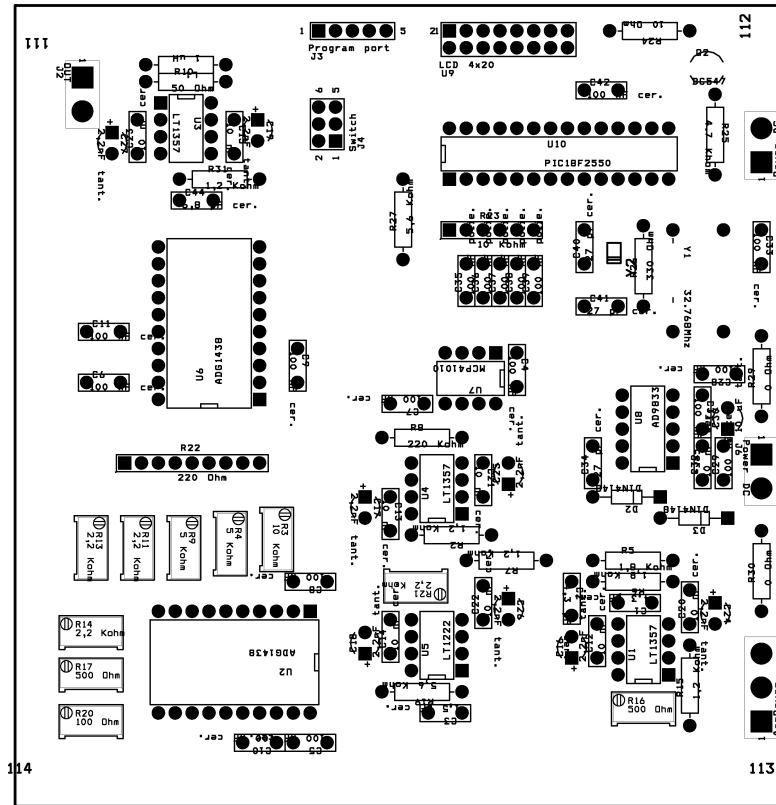


Figura 15: Schema di montaggio della scheda DDS.

Il PCB doppia faccia della scheda DDS è riportato in Figura 16, a) Bottom, b) Top.

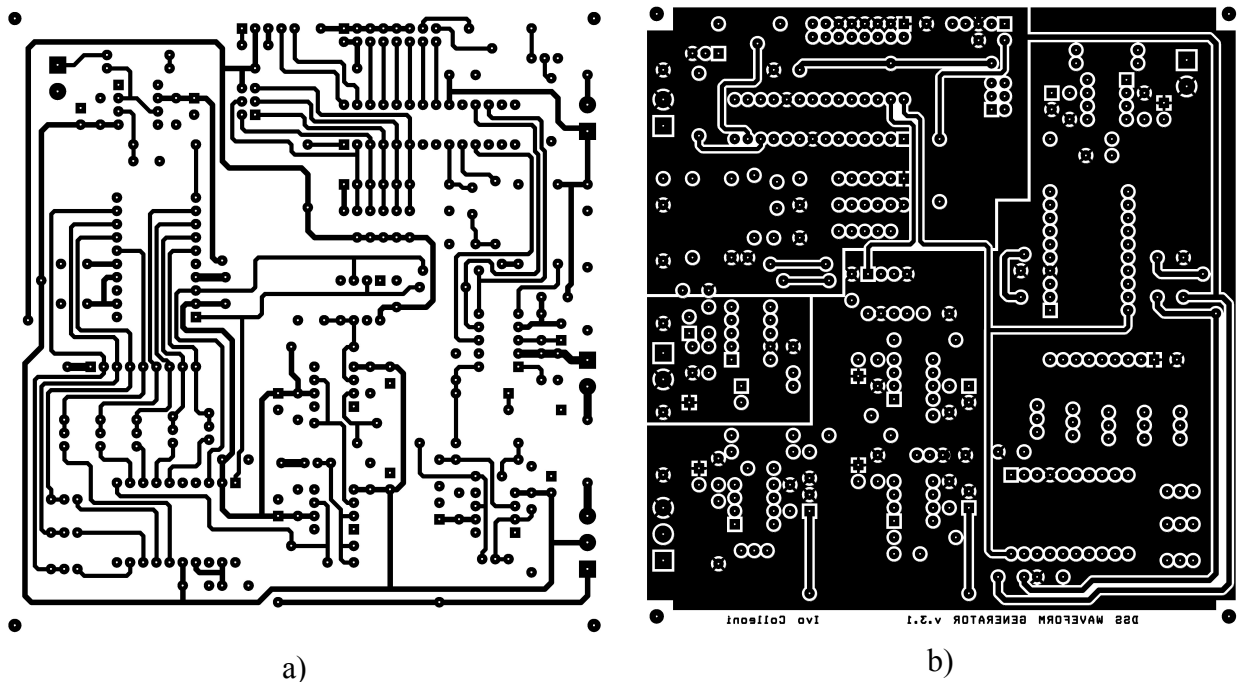


Figura 16: PCB della scheda DDS.

La scheda DDS a montaggio ultimato è riportata in Figura 17.

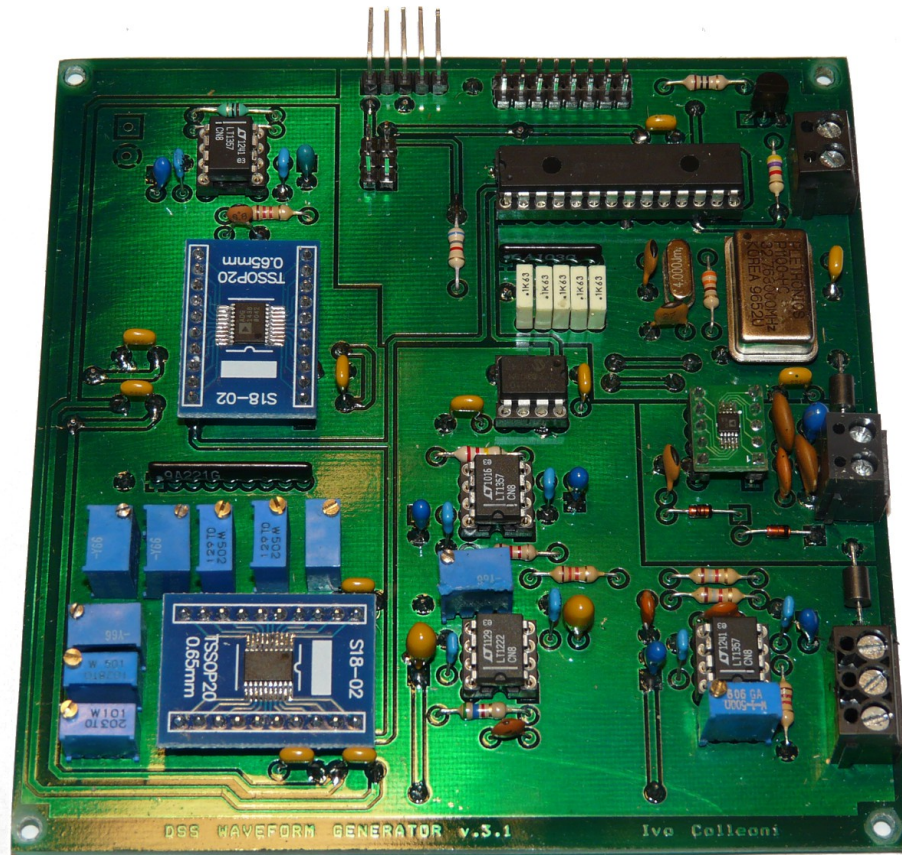


Figura 17: Scheda DDS a montaggio ultimato.

Lista Componenti

Resistori

R1 =
R2 = 1.2 K Ω %5 1/4W
R3 = 10 K Ω %5 1/4W
R4 = 5 K Ω %5 1/4W E24
R5 = 1.8 K Ω %5 1/4W
R6 = 1.8 K Ω %5 1/4W
R7 = 1.2 K Ω %5 1/4W
R8 = 220 Ω %5 1/4W
R9 = 5 K Ω %5 1/4W E24
R10 = 50 Ω %5 1/4W E24
R11 = 2.2 K Ω %5 1/4W
R12 = non presente
R13 = 2.2 K Ω %5 1/4W
R14 = 500 Ω %5 1/4W E24
R15 = 1.2 K Ω %5 1/4W
R16 = 500 Ω %5 1/4W E24
R17 = 500 Ω %5 1/4W E24
R18 = non presente
R19 = 5.6 K Ω %5 1/4W
R20 = 100 Ω %5 1/4W
R21 = 2.2 K Ω %5 1/4W
R22 = 220 Ω %5 1/4W
R23 = 10 K Ω %5 1/4W
R24 = 10 Ω %5 1/4W
R25 = 4.7 K Ω %5 1/4W
R26 = 330 Ω %5 1/4W
R27 = 5.9 K Ω %5 1/4W
R28 = non presente
R29 = 0 Ω %5 1/4W
R30 = 0 Ω %5 1/4W
R31 = 1.2 K Ω %5 1/4W

Quarzi

Y1 = 32.768 MHz
Y2 = 4 MHz

Condensatori

C1 = 4.3pF 50V Ceramico
C2 = 4.3pF 50V Ceramico
C3 = 1.5pF 50V Ceramico
C4 = 100nF 50V Ceramico
C5 = 100nF 50V Ceramico
C6 = 100nF 50V Ceramico
C7 = 100nF 50V Ceramico
C8 = 100nF 50V Ceramico
C9 = 100nF 50V Ceramico
C10 = 100nF 50V Ceramico
C11 = 100nF 50V Ceramico
C12 = 10nF 50V Ceramico
C13 = 10nF 50V Ceramico
C14 = 10nF 50V Ceramico
C15 = 10nF 50V Ceramico
C16 = 2.2nF 50V Ceramico
C17 = 2.2nF 50V Ceramico
C18 = 2.2nF 50V Ceramico
C19 = 2.2nF 50V Ceramico
C20 = 10nF 50V Ceramico
C21 = 10nF 50V Ceramico
C22 = 10nF 50V Ceramico
C23 = 10nF 50V Ceramico
C24 = 2.2nF 50V Ceramico
C25 = 2.2nF 50V Ceramico
C26 = 2.2nF 50V Ceramico
C27 = 2.2nF 50V Ceramico
C28 = 100nF 50V Ceramico
C29 = 100nF 50V Ceramico
C30 = 10uF 16V tantalio
C31 = 100nF 50V Ceramico
C32 = 10nF 50V Ceramico
C33 = 100nF 50V Ceramico
C34 = 27pF 50V Ceramico
C35 = 100nF 50V Ceramico

C36 = 100nF 50V Ceramico

C37 = 100nF 50V Ceramico

C38 = 100nF 50V Ceramico

C39 = 100nF 50V Ceramico

C40 = 27pF 50V Ceramico

C41 = 27pF 50V Ceramico

C42 = 100nF 50V Ceramico

C43 = non presente

C44 = 6.8pF 50V Ceramico

Induttanze

L1 = 1uH

Diodi e Transistor

D1 = non presente

D2 = 1N4148

D3 = 1N4148

Q1 = non presente

Q2 = BC547

Circuiti Integrati

U1 = LT1357 (Linear Technology)

U2 = ADG1438 (Analog Devices)

U3 = LT1357 (Linear Technology)

U4 = LT1357 (Linear Technology)

U5 = LT1222 (Linear Technology)

U6 = ADG1438 (Analog Devices)

U7 = MCP41010 (Microchip)

U8 = ADS9833 (Analog Devices)

U9 = Display Alfanumerico LCD 4x20

U10 = PIC18F2550 (Microchip)

XX = Adattatore TSSOP20-DIP20 (Qty. 2)

XX = Adattatore MSOP10-DIP10 (Qty. 1)

Connettori

J1 = non presente

J2 = trip maschio 2 pin passo 2.54mm (uscita per BNC)

J3 = strip maschio 5 pin passo 2.54mm

J4 = strip maschio 5 pin passo 2.54mm

J5 = Con-Wago 2 poli

J6 = Con-Wago 2 poli

J7 = Con-Wago 3 poli



Figura 20: *Generatore di funzioni assemblato.*

Collaudo e Calibrazione del sistema

**Nota:**

Il sistema presentato nell'articolo ha delle parti ad alta tensione. Il progetto è pensato come sistema di sviluppo e nel realizzarlo devono essere prese le dovute precauzioni per un sistema ad alta tensione. La mancata osservanza delle norme di sicurezza può rappresentare un pericolo di vita per l'operatore. Qualora non si abbia la dovuta esperienza e qualifica è bene far compiere il montaggio del sistema a tecnici qualificati.

Prima di procedere all'accensione del sistema è bene accertarsi che non siano presenti dei cortocircuiti dovuti alla produzione del PCB o semplicemente creatisi durante la fase della saldatura.

In un primo momento è bene accertarsi che la scheda di alimentazione funzioni correttamente e in uscita al connettore siano presenti le dovute tensioni. Solo in un secondo momento, a circuito spento, è bene procedere al collegamento della scheda DDS.

I segnali e tensioni di riferimento che è possibile misurare sono:

Tensioni di Riferimento

- Morsettiera J4, PIN 1-2: +5v.
- Morsettiera J5, PIN 1-2: +5v.
- Morsettiera J6, PIN 1-3: +12V.
- Morsettiera J6, PIN 1-2: -12V.

Segnali di riferimento

- PIC18F2550 (U4) PIN 9: onda sinusoidale 4MHz.
- AD9833 (U5) PIN5: Master Clock 32,768MHz.

Collaudo

- Verificare sul PIN 10 dell'AD9833 (U8) che alla prima accensione venga generata un'onda sinusoidale di 1KHz.
- Verificare che i pulsanti corrispondano alle funzioni corrette.

Calibrazione

- Impostare un'onda sinusoidale a 500KHz e posizionare la sonda dell'oscilloscopio sul PIN 6 del secondo LT1357 (U4):
 1. Regolare l'ampiezza della sinusoide a 0,7Vpp tramite il Trimmer R16.
 2. Portare il valore medio della sinusoide a 0V modificando il valore di Offset Sin nella seconda pagina del menu.
 3. Impostare un'onda quadra e portare il valore medio a 0V modificando il valore di OffsetSq nella seconda pagina del menu.
 4. Impostare un'onda sinusoidale e verificare che l'offset si modifichi correttamente.
- Posizionare la sonda dell'oscilloscopio sul PIN 6 di dell'LT1222 (U5) e regolare l'ampiezza dell'onda sinusoidale fino a 6Vpp.
- Posizionare la sonda dell'oscilloscopio sull'uscita del circuito
 1. Impostare Vpp a 5V e regolare l'ampiezza a 5Vpp tramite il Trimmer R20.

2. Impostare V_{pp} a 3V e regolare l'ampiezza a 3Vpp tramite il Trimmer R17.
3. Impostare V_{pp} a 2V e regolare l'ampiezza a 2Vpp tramite il Trimmer R14.
4. Impostare V_{pp} a 1,5V e regolare l'ampiezza a 1,5Vpp tramite il Trimmer R13.
5. Impostare V_{pp} a 1V e regolare l'ampiezza a 1Vpp tramite il Trimmer R11.
6. Impostare V_{pp} a 0,5V e regolare l'ampiezza a 0,5Vpp tramite il Trimmer R9.
7. Impostare V_{pp} a 0,3V e regolare l'ampiezza a 0,3Vpp tramite il Trimmer R4.
8. Impostare V_{pp} a 0,2V e regolare l'ampiezza a 0,2Vpp tramite il Trimmer R3.

Utilizzo del sistema

All'accensione del sistema il microcontrollore carica i dati salvati in EEPROM e programma l'AD9833 e i Multiplexer generando la forma d'onda visualizzata sul display; se è la prima volta che viene avviato il programma lo strumento fa uso dei valori standard memorizzati in EEPROM.

- Premere il pulsante OK per entrare nella visualizzazione dei MENU; con i tasti UP/DOWN selezionare il parametro da modificare e premere ENTER. Sempre con i pulsanti UP/DOWN incrementare o decrementare il valore selezionato e premere ENTER per confermare il valore e modificare la forma d'onda in uscita.
- Con i pulsanti contestuali posti sotto l'LCD (quando sono utilizzabili sull'LCD viene riportata una scritta con la funzione associata al pulsante) è possibile cambiare pagina del menu accedendo alle impostazioni di retroilluminazione, contrasto e offset e all'impostazione della forma d'onda da generare all'accensione o selezionare il valore da modificare (solo in impostazione della frequenza)
- Premere Sweep per entrare nel menu di sweep, con i pulsanti UP/DOWN selezionare il range di frequenze; premere START per far partire lo sweep e STOP per fermarlo.

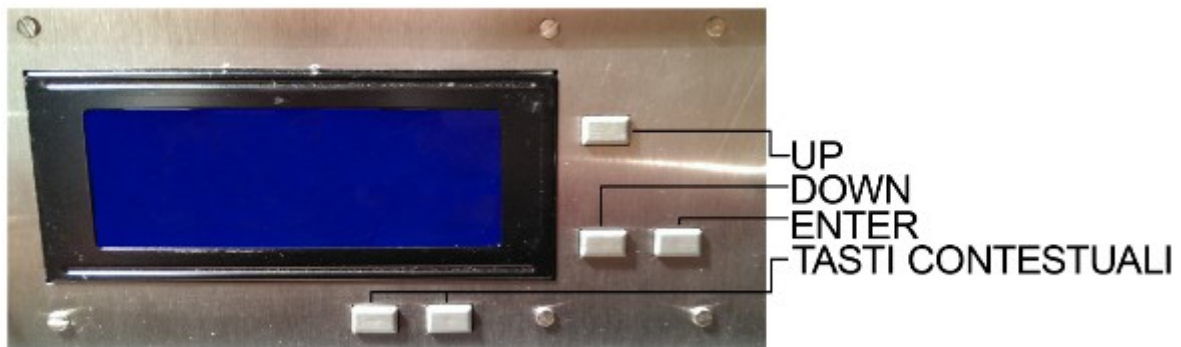


Figura 21: *Interfaccia grafica del generatore di funzioni.*

Specifiche di uscita

Si riportano di seguito le specifiche principali del generatore di funzioni:

Impedenza: 50ohm

Onda Sinusoidale

- Ampiezza: da 0,2Vpp a 5Vpp.
- Frequenza massima non distorta 5MHz (-3dB BW).

Onda Triangolare

- Ampiezza: da 0,2Vpp a 5Vpp.
- Frequenza massima 3MHz.

Onda Quadra

- Ampiezza: da 0,5Vpp a 14Vpp
- Frequenza massima 1,5MHz.

In Figura 22 è riportata la risposta in frequenza dell'uscita del sistema, ovvero mantenendo costante l'ampiezza a 5V è possibile notare come all'aumentare della frequenza diminuisca l'ampiezza stessa. In particolare è possibile notare che la larghezza di banda a -3dB è pari a circa 5MHz, ciononostante è possibile utilizzare il generatore di segnali anche per frequenze superiori, tenendo però a mente che l'ampiezza impostata e quella reale differiscono. Per frequenze superiori a 1MHz è sempre bene affiancare la misura con un oscilloscopio al fine di misurare l'ampiezza reale.

V/f, uscita sinusoidale 5v

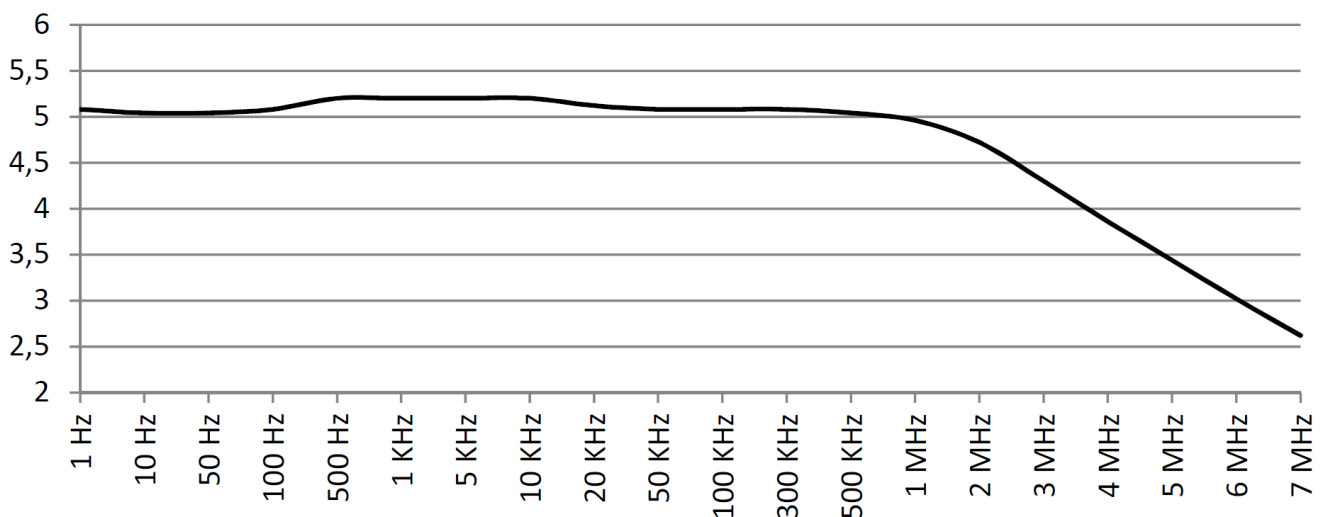


Figura 22: Risposta in frequenza dell'uscita del sistema.

Nelle Figure 23-28 sono riportate misure per mezzo dell'oscilloscopio di varie forme d'onda a varie frequenze.

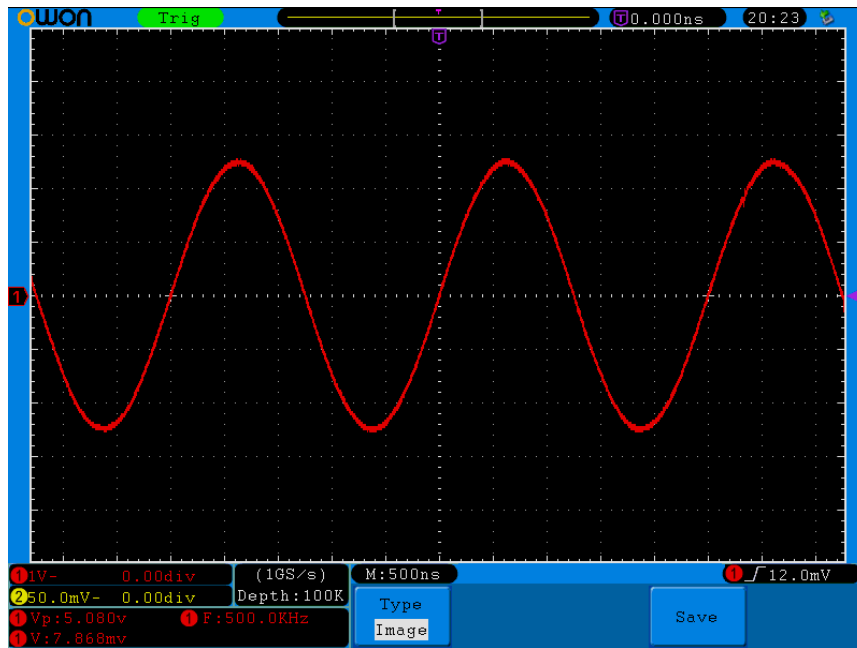


Figura 23: Onda sinusoidale a 500KHz.

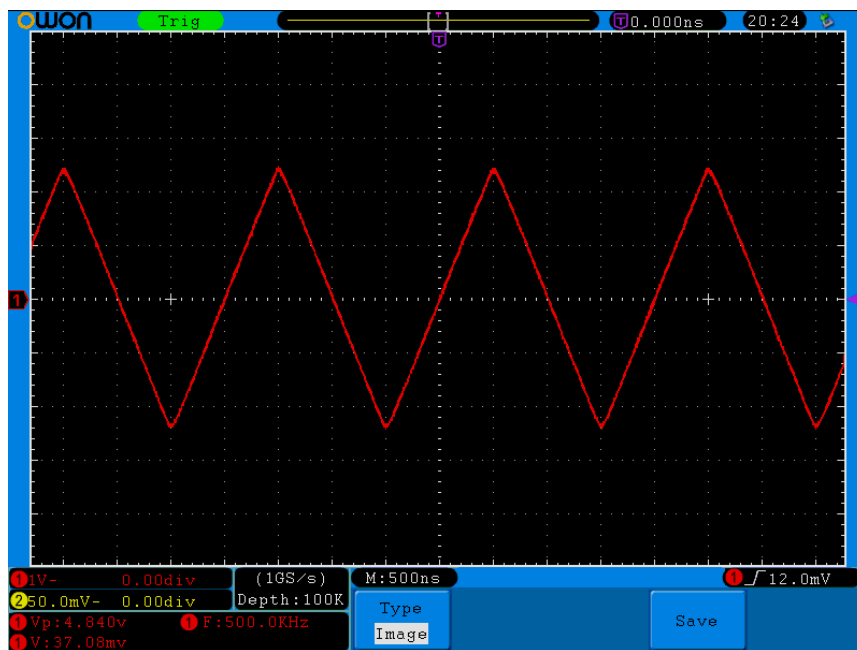


Figura 24: Onda triangolare a 500KHz.

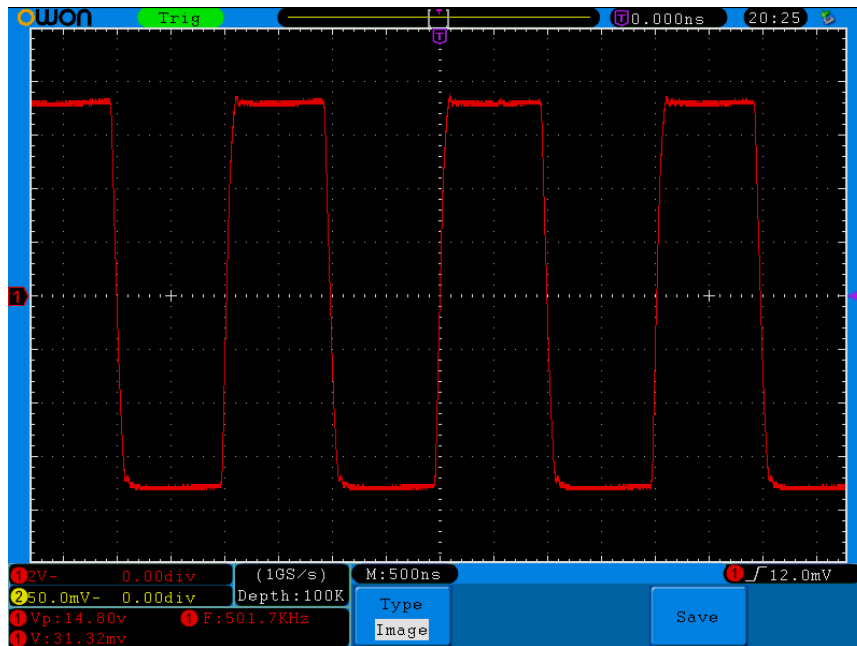


Figura 25: Onda quadra a 500KHz.

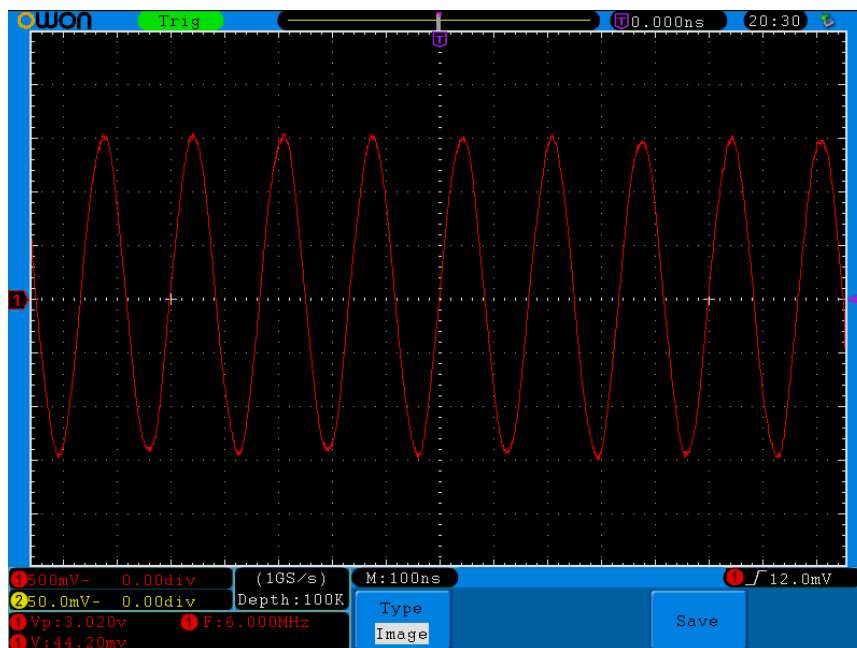


Figura 26: Onda sinusoidale a 6MHz.

In Figura 27 e in Figura 28 è possibile notare il limite derivante dalla banda passante del sistema. In particolare non passando le armoniche di ordine superiore, in particolare superiori a 5MHz (se non fortemente attenuate), si ha che l'onda triangolare tende ad essere sempre più simile all'onda sinusoidale mentre l'onda quadrata tende ad avere i fronti sempre più smussati. A frequenze molto alte, anche l'onda quadrata tenderà ad avvicinarsi ad una sinusoidale.

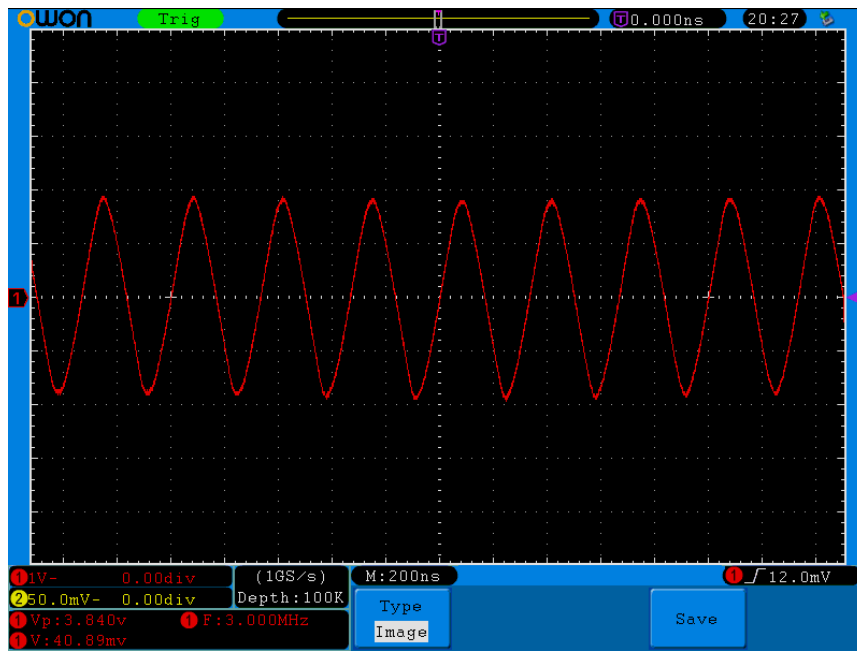


Figura 27: Onda triangolare a 3MHz.

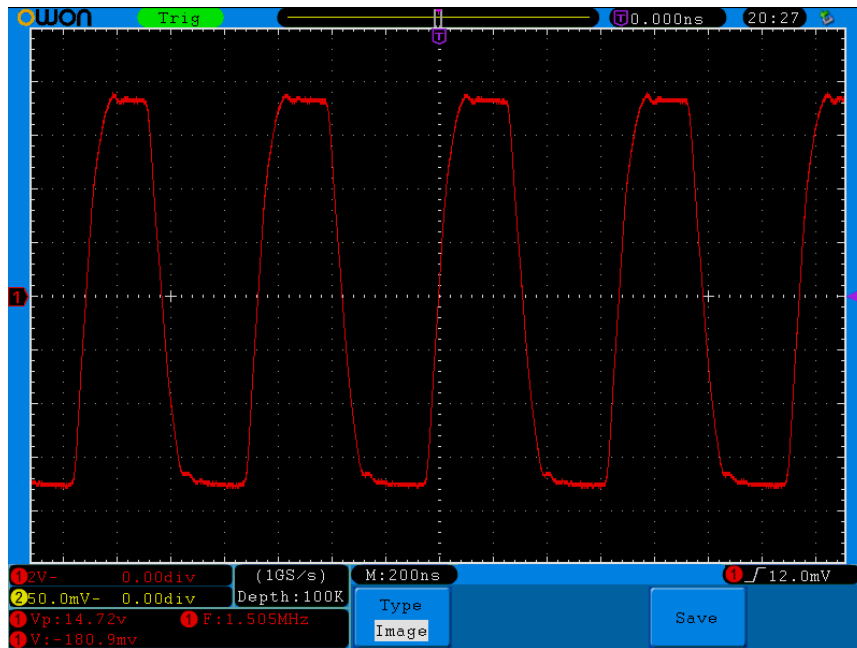


Figura 28: Onda quadra a 1.5MHz.

Il Firmware

Il Firmware è stato scritto completamente in Assembly e per migliorare la lettura e la gestione è stato diviso in più moduli e librerie ed è descritto solamente tramite i diagrammi di flusso allegati, per una descrizione dettagliata far riferimento ai commenti all'interno dei sorgenti.

File

- Main.asm: programma principale.
- Calc.asm: calcoli per la programmazione del DDS in base alla frequenza inserita.
- Delay_32MHz.asm: libreria di cicli di ritardo per clock a 32MHz.
- Expos.asm: dati da scrivere sull'LCD.
- LCD_4bit.asm: libreria di gestione dell'LCD in modalità 4bit.
- Memory_and_table.asm: libreria di scrittura e lettura da EEPROM e tabelle.
- SPI.asm: emulazione del protocollo SPI.

Le personalizzazioni a questo livello del firmware sono minime e si riducono a qualche costante all'inizio di Main.asm e Calc.asm:

- LCD_UNUSED: definisce quali bit non sono utilizzati sulla PORT dedicata alla gestione dell'LCD.
- TIME_INFO: valore usato per l'esposizione temporizzata delle informazioni iniziali
- FREQ_MAX: valore massimo della frequenza (MHz).
- Mx: Moltiplicatore (vedi calcoli DDS) .

Sostanzialmente il Firmware si divide in 4 blocchi principali:

- Inizializzazione e programmazione della prima forma d'onda.
- Controllo ciclico dei tasti ENTER e RIGHT per andare rispettivamente al menu impostazioni o al menu di Sweep.
- Menu impostazioni diviso in 3 pagine:
 1. Forma d'onda attuale.
 2. Regolazione offset, contrasto e retroilluminazione.
 3. Impostazione forma d'onda da caricare all'avvio.
- Menu di Sweep con selezione del range di frequenza.

Analisi finale

Il generatore di funzioni presentato permette di avere un valido strumento di laboratorio con il quale poter sperimentare e verificare applicazioni di natura digitale e analogica. Alcune scelte progettuali sono state fatte al fine di rendere il sistema più semplice di sistemi professionali, mantenendo però vantaggi di praticità e costi. Effettuando modifiche allo stadio di amplificazione si potrebbe ottenere una variazione dell'ampiezza con passi più piccoli. Il Firmware è stato scritto in Assembly e sebbene sia di più difficile lettura del C permette comunque di raggiungere lo scopo in maniera ordinata, presupponendo di organizzare il progetto in maniera opportuna.

Facendo uso di Sample gratuiti offerti dalle varie società per i relativi circuiti integrati è possibile ridurre i costi del sistema del circa 30%. In particolare i costi sostenuti realizzando i PCB in casa sono:

Sub Sistema	Totale
Alimentatore	23,66 €
Interfaccia Pulsanti	5,50 €
Scheda DDS	81,21 €
Scatola di montaggio YJD31	9,00 €
Totale	119,37 €
Campioni Gratuiti	36,93 €
Totale – Campioni Gratuiti	82,44 €

File allegati

Per brevità e chiarezza, alcuni file non sono stati inclusi all'interno dell'articolo ma possono essere scaricati separatamente. In particolare sono disponibili per il Download i seguenti file di supporto:

- PDF schemi elettrici e PCB.
- OrCAD 15 schemi e PCB.
- Flow chart.
- Sorgenti Assembly del codice.
- Disegni in formato DWG e DXF del pannello frontale.

Bibliografia

- [1] www.LaurTec.it : Sito dove poter scaricare ogni aggiornamento e allegato associato all'articolo.
- [2] www.microchip.com : Sito dove scaricare i datasheet del microcontrollore usato.
- [3] www.analog.com : Sito ufficiale dell'Analog Devices.
- [4] www.linear.com : Sito ufficiale della Linear Technology.
- [5] UP0003-IT : Paragrafo estratto da “AD9833: Libreria ed applicazioni” di Dario di Turi.

History

Data	Versione	Autore	Revisione	Descrizione Cambiamento
19.12.13	1.0	Ivo Colleoni	Mauro Laurenti	Versione originale.