

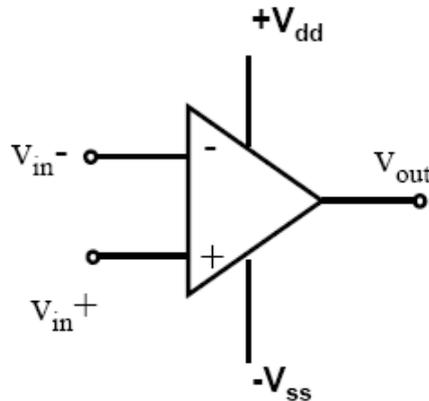
INDICE

1) Introduzione	pag.3
2) Riferimento di tensione	pag.7
3) Specchio di corrente	pag.10
4) Stadio differenziale	pag.12
5) Stadio finale	pag.15
6) Simulazione risultati	pag.17
6.1) Guadagno di tensione	pag.17
6.2) CMRR	pag.17
6.3) Potenza dissipata	pag.19
6.4) Output swing	pag.20
6.5) Tensione di offset in ingresso	pag.22
7) Risposta in frequenza	pag.23
7.1) Modello del MOSFET ad alta frequenza	pag.23
7.2) Frequenza di guadagno unitario	pag.25
7.3) Risposta in alta frequenza dell'amplificatore a source comune	pag.26
7.4) Risposta in frequenza dell'OTA non retroazionato	pag.28
8) Controreazione	pag.30
8.1) Controreazione negativa	pag.30
8.2) Stabilità	pag.32
8.3) Effetto della controreazione sui poli di un amplificatore	pag.33
9) Compensazione in frequenza	pag.35
9.1) Compensazione a polo dominante	pag.35
9.2) Compensazione di Miller	pag.36
9.3) Compensazione dell'OTA progettato	pag.38
9.4) Implementazione di Rc	pag.42
10) Bibliografia	pag.45

1) INTRODUZIONE

L'amplificatore operazionale (OA) è un amplificatore lineare di tensione pilotato in tensione, utilizzato come componente generale nella progettazione di circuiti elettronici analogici e realizzato in forma integrata.

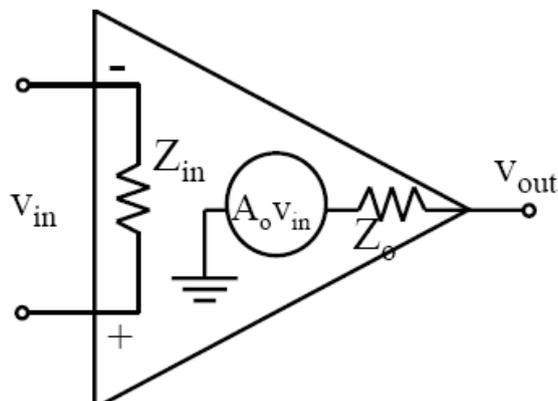
Il simbolo circuitale di un amplificatore operazionale **ideale** è il seguente:



Un OA ideale è caratterizzato dai seguenti parametri:

- Impedenza d'ingresso: $Z_{in} = \infty$;
- Impedenza d'uscita: $Z_{out} = 0$;
- Amplificazione a loop aperto: $A_o = \infty$;
- Larghezza di banda: $BW = \infty$;

Un OA **reale** è mostrato nella seguente figura:

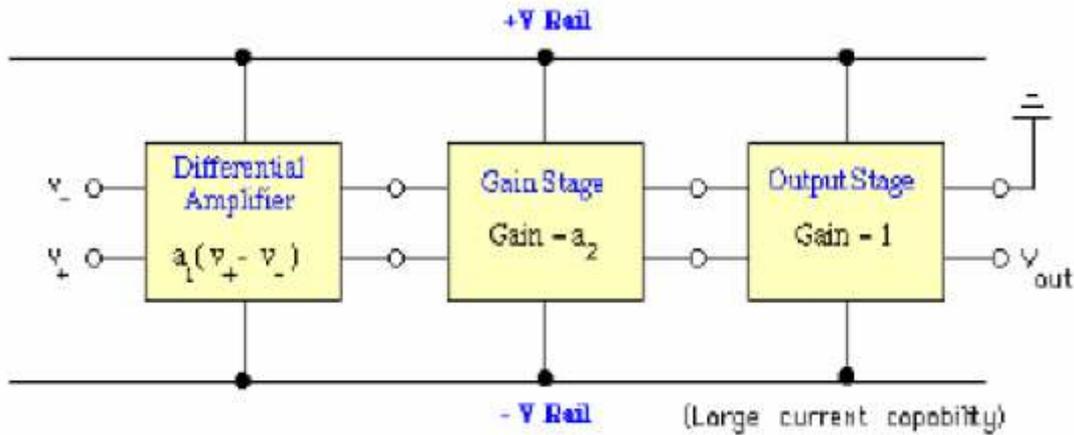


Le caratteristiche di un OA reale sono:

- Impedenza d'ingresso: $Z_{in} =$ molto alta (ordine dei $M\Omega$);
- Impedenza d'uscita: $Z_{out} =$ molto bassa ($< 100\Omega$);
- Amplificazione a loop aperto: $A_o =$ molto alto;
- Larghezza di banda: $BW =$ limitata a pochi MHz;
- Limitazioni sull'output swing

Gli amplificatori sono solitamente realizzati connettendo in cascata un certo numero di stadi, in modo che ciascuno stadio venga progettato per soddisfare una precisa specifica progettuale.

La tipica struttura di un amplificatore operazionale prevede 3 stadi connessi in cascata:



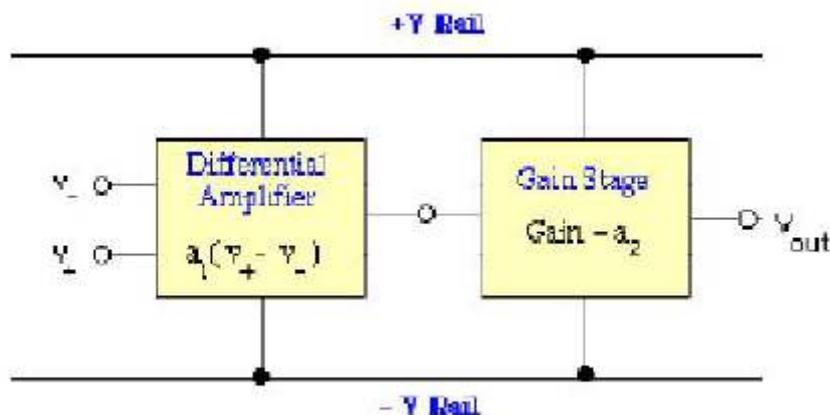
- Lo stadio di ingresso che, oltre a fornire un certo guadagno, ha il compito di esibire un'elevata resistenza di ingresso, in modo da diminuire la dipendenza dalla sorgente di segnale e un elevato CMRR.
- Lo stadio intermedio è costituito da uno stadio ad elevato guadagno poiché ha il compito di fornire la maggior parte del guadagno di tensione dell'OA.
- Lo stadio di uscita è costituito da un buffer a guadagno unitario che ha il compito di presentare una bassa resistenza di uscita, in modo da diminuire la dipendenza dal carico.

L'amplificatore operazionale che si è progettato in questo elaborato è un OA in tecnologia CMOS a $2\ \mu\text{m}$, costituito da 2 stadi in cascata in classe A.

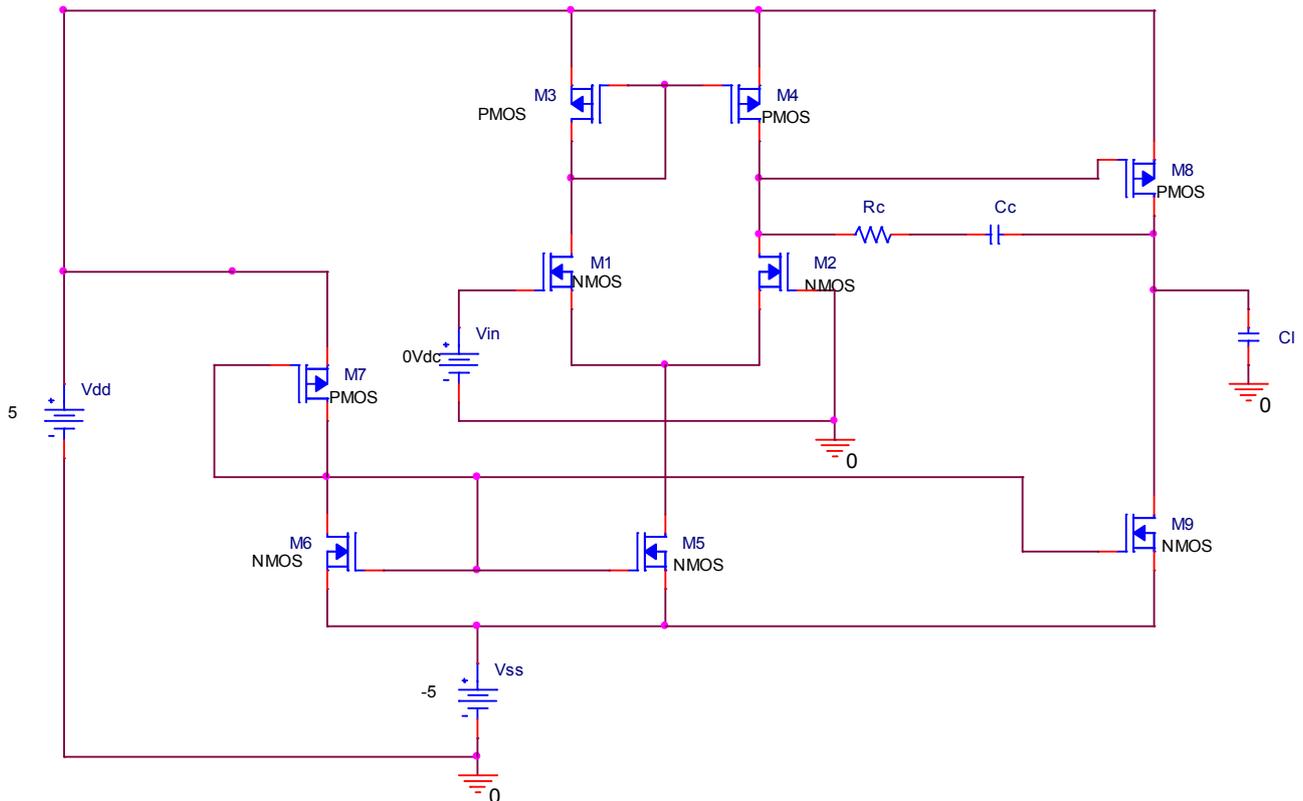
Esso viene anche chiamato amplificatore operazionale a transconduttanza (OTA) poiché ha un'alta impedenza di uscita, la quale lo rende molto simile ad un generatore di corrente.

Siccome viene utilizzato per pilotare carichi capacitivi da pochi picofarad, cioè con un'elevata impedenza, non ha bisogno di uno stadio di uscita a bassa impedenza.

Il tipico schema a blocchi dell'OTA è illustrato nella seguente figura:



Lo schema circuitale dettagliato dell'OTA è il seguente:



Esso è costituito da:

- Un riferimento di tensione (CMOS voltage divider), realizzato con i transistori M7 e M6, che ha il compito di fornire una tensione costante sul terminale di drain dei due transistori.
- Uno specchio di corrente multiplo (current mirror), realizzato con i transistori M6, M5 e M9, che ha il compito di fornire la corrente di polarizzazione della coppia differenziale e dello stadio common-source.
- Uno stadio differenziale di ingresso, realizzato con i transistori M1 e M2, con carico attivo, formato dallo specchio di corrente di M3 e M4, che ha il compito di garantire, oltre a un certo guadagno, un'elevata resistenza di ingresso e un elevato CMRR e di convertire il segnale di ingresso differenziale in un segnale single-ended.
- Uno stadio di uscita common-source, realizzato con il transistore M8.
- Una capacità C_c e un resistore R_c in serie connessi tra i 2 stadi, che hanno il compito di realizzare la compensazione in frequenza.

Le specifiche progettuali da soddisfare sono:

- A_O (guadagno in continua a loop aperto) = 90dB
- Supply voltage..... +/- 5V
- Output swing:
 - V_{out}^+ > 3.5V
 - V_{out}^- < -3.5V
- Power < 1mW
- CMRR > 80 dB

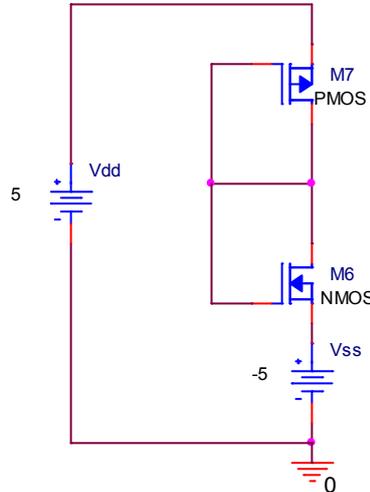
Il flusso di progettazione che si è scelto di seguire si compone delle seguenti fasi:

- 1) progettazione del riferimento di tensione, fissando una certa V_{REF}
- 2) progettazione dello specchio di corrente, utilizzando il precedente riferimento di tensione
- 3) progettazione dello stadio differenziale, in base alla corrente di polarizzazione fissata con lo specchio
- 4) progettazione dello stadio common-source

Si fa presente che durante le varie fasi di progettazione del circuito si è dovuto, come spesso accade in un progetto, tornare indietro e riprogettare i blocchi funzionali, in quanto la simulazione con PSPICE non soddisfaceva le specifiche richieste. Tuttavia in seguito non verranno mostrati tutti i passaggi progettuali ma ci si limiterà a illustrare solo quelli fondamentali.

2) RIFERIMENTO DI TENSIONE

Il riferimento di tensione è costituito da 2 mosfet in serie (un NMOS e un PMOS) entrambi connessi a diodo, che realizzano un partitore di tensione:



Il compito di questo circuito è di fornire una tensione costante di riferimento V_{REF} sul terminale di drain, in modo da fissare la V_{GS} dei mosfet per garantirne il funzionamento in saturazione.

Il criterio di scelta della V_{GS6} è il seguente:

$$V_{GS6} = V_{THN} + \Delta V \quad \text{con } \Delta V = \text{“pochi mV”}$$

$$V_{THN} = 0.8 \text{ V}$$

Scegliere il valore di ΔV equivale a scegliere il valore di V_{DSAT} , cioè il valore di tensione necessario per mandare in saturazione il mosfet:

$$V_{DS6} \geq V_{GS6} - V_{THN} \text{ (saturazione)} \rightarrow V_{DS6} \geq \Delta V$$

Si deve perciò fissare ΔV in modo da assicurare che il transistor vada in saturazione e trovare un compromesso tra una ΔV troppo piccola, che non garantirebbe un sufficiente margine di sicurezza e una ΔV troppo grande, che significherebbe aver bisogno di una tensione elevata per garantire il funzionamento in saturazione.

Si è scelto:

$$\Delta V = 0.4 \text{ V} \rightarrow V_{GS6} = V_{DS6} = 1,2 \text{ V} \rightarrow V_{REF} = V_{DS6} + V_{SS} = -3.8 \text{ V}$$

Per assicurare la saturazione dei due MOS si deve avere:

$$\begin{aligned} V_{DSN} &\geq V_{GSN} - V_{TN} \\ V_{DSP} &\leq V_{GSP} - V_{TP} \end{aligned}$$

Tali condizioni sono comunque sempre verificate perché i MOS sono connessi a diodo e quindi $V_{DS} = V_{GS}$.

Per dimensionare correttamente i 2 mosfet deve valere la seguente relazione:

$$I_{DN} = I_{DP}$$

$$\frac{K_N * \frac{W_6}{L_6}}{K_P * \frac{W_7}{L_7}} = \frac{(V_{DD} - V_{REF} - |V_{THP}|)^2}{(V_{REF} - V_{SS} - |V_{THN}|)^2} \Rightarrow \frac{W_6 * L_7}{W_7 * L_6} = \frac{(5 + 3.8 - 0.8)^2}{(-3.8 + 5 - 0.8)^2} * \frac{K_P}{K_N}$$

$$\frac{W_6 * L_7}{W_7 * L_6} = 200$$

Si è scelto:

M6: L2NMOS; $L_6=2\mu\text{m}$; $\lambda=0,01\text{V}^{-1}$; $V_{THN}=0,8\text{V}$; $K_N=25\mu\text{A}/\text{V}^2$;

M7: L56PMOS; $L_7=56\mu\text{m}$; $\lambda=1.07\text{mV}^{-1}$; $V_{THP}=-0,8\text{V}$; $K_P=12,5\mu\text{A}/\text{V}^2$;

In tal modo si è evitato uno sbilanciamento eccessivo tra W_6 e W_7 :

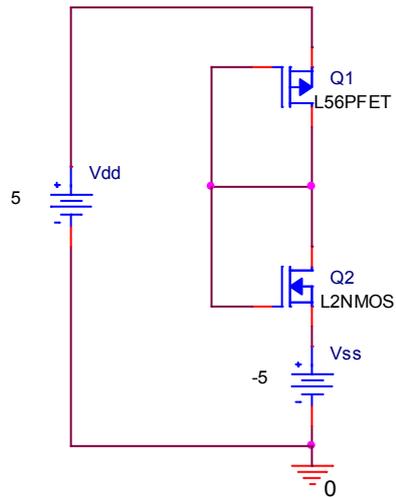
$$\frac{W_6}{W_7} = 7,14;$$

$W_7 = 2 \mu\text{m} \rightarrow W_6 = 14.28 \mu\text{m}$ in modo da avere le dimensioni minime possibili.

In base a tale scelta si ottiene:

$$I_{DN} = I_{DP} = 28.6 \mu\text{A}$$

Il circuito progettato è quindi il seguente:



Effettuando la simulazione bias point con PSPICE si ottiene:

$$V_{REF} = -3.723 \text{ V}$$

$$I_{DN} = I_{DP} = 24.98 \text{ } \mu\text{A}$$

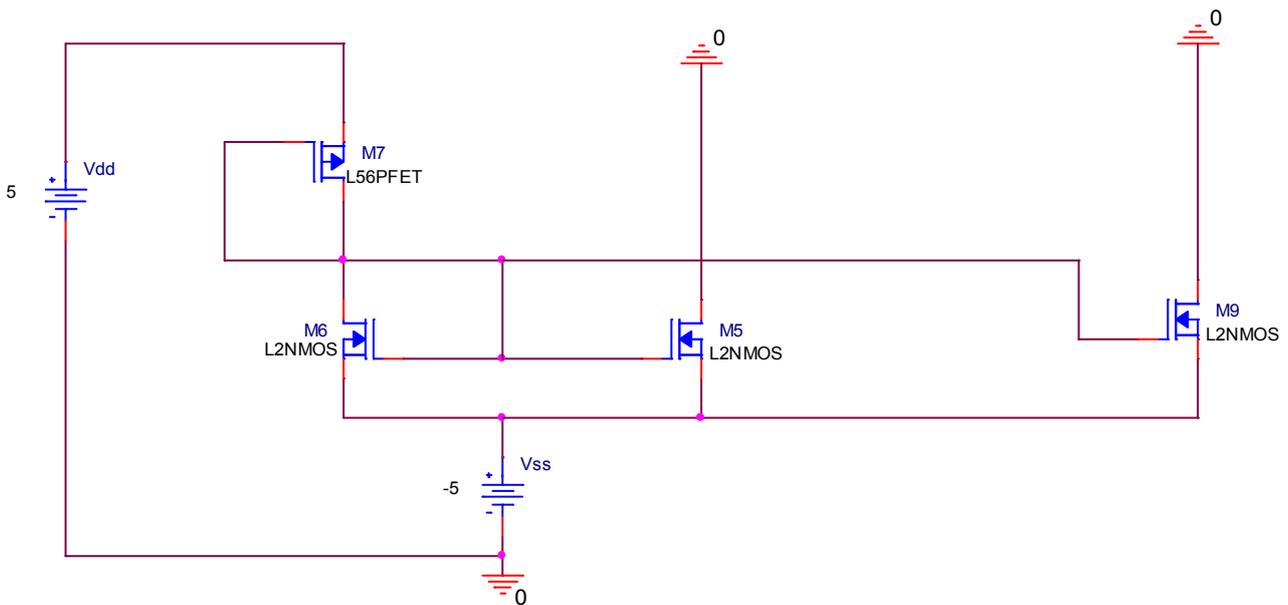
$$W5 = W9 = 4 \mu\text{m}$$

Quindi si sono progettati i mosfet M5 e M9 nel seguente modo:

M5: L2NMOS; $L5=2\mu\text{m}$; $W5=4\mu\text{m}$; $\lambda=0,01\text{V}^{-1}$; $V_{\text{THN}}=0,8\text{V}$; $K_{\text{N}}=25\mu\text{A}/\text{V}^2$;

M9: L2NMOS; $L9=2\mu\text{m}$; $W9=4\mu\text{m}$; $\lambda=0,01\text{V}^{-1}$; $V_{\text{THN}}=0,8\text{V}$; $K_{\text{N}}=25\mu\text{A}/\text{V}^2$;

Il circuito progettato è perciò il seguente:

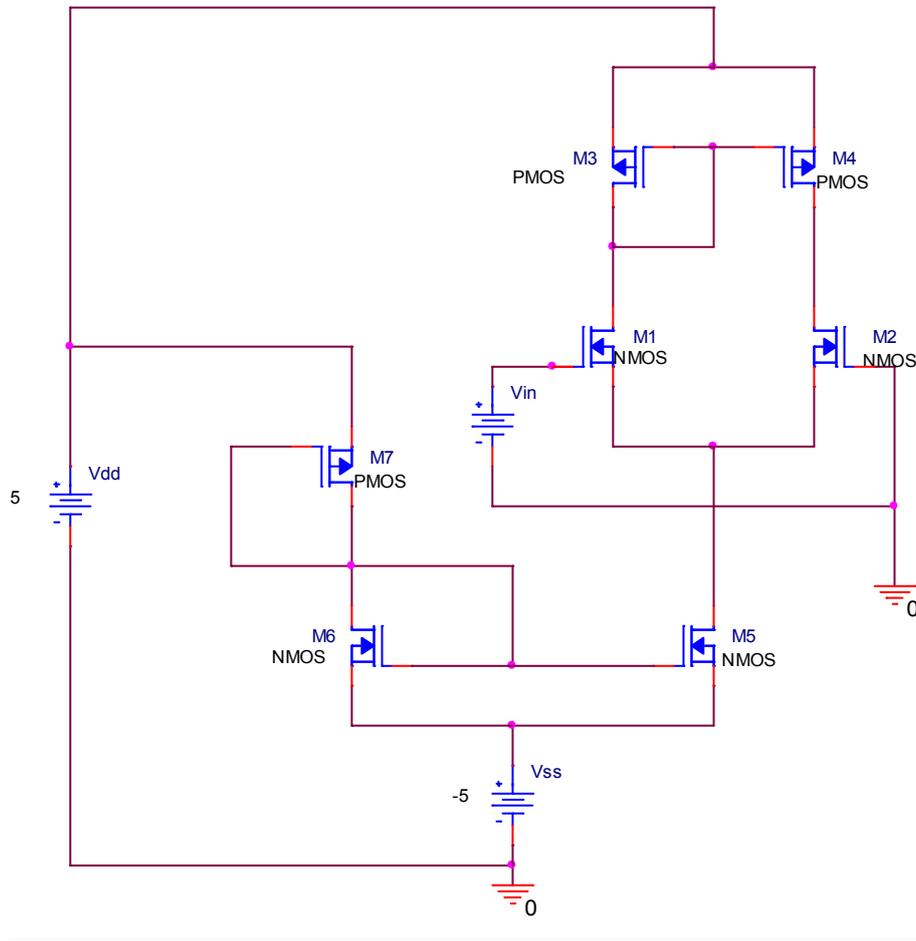


Effettuando la simulazione bias point con PSPICE si ottiene:

$$ID_{N5}=ID_{N9}= 7.2 \mu\text{A}$$

4) STADIO DIFFERENZIALE

Nella progettazione dello stadio differenziale ci si avvale dei 2 stadi precedentemente progettati:



Lo stadio differenziale è composto da due transistori NMOS M1 e M2 matched, che realizzano la coppia differenziale e da due transistori PMOS M3 e M4 matched, che realizzano uno specchio di corrente che funge da carico attivo.

In questa configurazione esso ha il compito di garantire, oltre a un certo guadagno, a un'elevata resistenza di ingresso e un elevato CMRR, la conversione del segnale di ingresso differenziale in un segnale single-ended.

Il guadagno di tensione della coppia differenziale è dato dalla seguente espressione:

$$A_{V1} = \frac{2}{(\lambda_2 + \lambda_4)(V_{GS} - V_{THN})}$$

Ipotizzando di volere un guadagno da questo stadio di:

$$A_{V1} \geq 50 \text{ dB} \quad \rightarrow \quad A_{V1} > 316.2$$

Allora si ha che:

$$(\lambda_2 + \lambda_4) \leq \frac{2}{316.2 * (0.4)} \quad \rightarrow \quad (\lambda_2 + \lambda_4) \leq 0,016 \text{ V}^{-1}$$

Si sceglie perciò:

M1=M2: L4NMOS; L=4 μm ; $\lambda=0,005\text{V}^{-1}$; $V_{\text{THN}}=0,8\text{V}$; $K_{\text{N}}=25\mu\text{A}/\text{V}^2$;

M3=M4: L10PMOS; L=10 μm ; $\lambda=0,006\text{V}^{-1}$; $V_{\text{THN}}=0,8\text{V}$; $K_{\text{P}}=12,5\mu\text{A}/\text{V}^2$;

$$\lambda_2 + \lambda_4 = 0.011 \text{ V}^{-1} < 0.016 \text{ V}^{-1}$$

Per stimare W2 e W4 si deve far riferimento alla corrente di polarizzazione $ID_{\text{N5}}=8\mu\text{A}$:

$$ID_{\text{P4}} = ID_{\text{N2}} = ID_{\text{N5}}/2 = 4\mu\text{A}$$

$$ID_{\text{N2}} = K_{\text{N}} * W_2/L_2 * (V_{\text{GS2}}-V_{\text{TN}})^2 \quad \rightarrow \quad W_2 = 4\mu\text{m}$$

$$ID_{\text{P4}} = K_{\text{P}} * W_4/L_4 * (V_{\text{GS4}}-V_{\text{TN}})^2 \quad \rightarrow \quad W_4 = 20\mu\text{m}$$

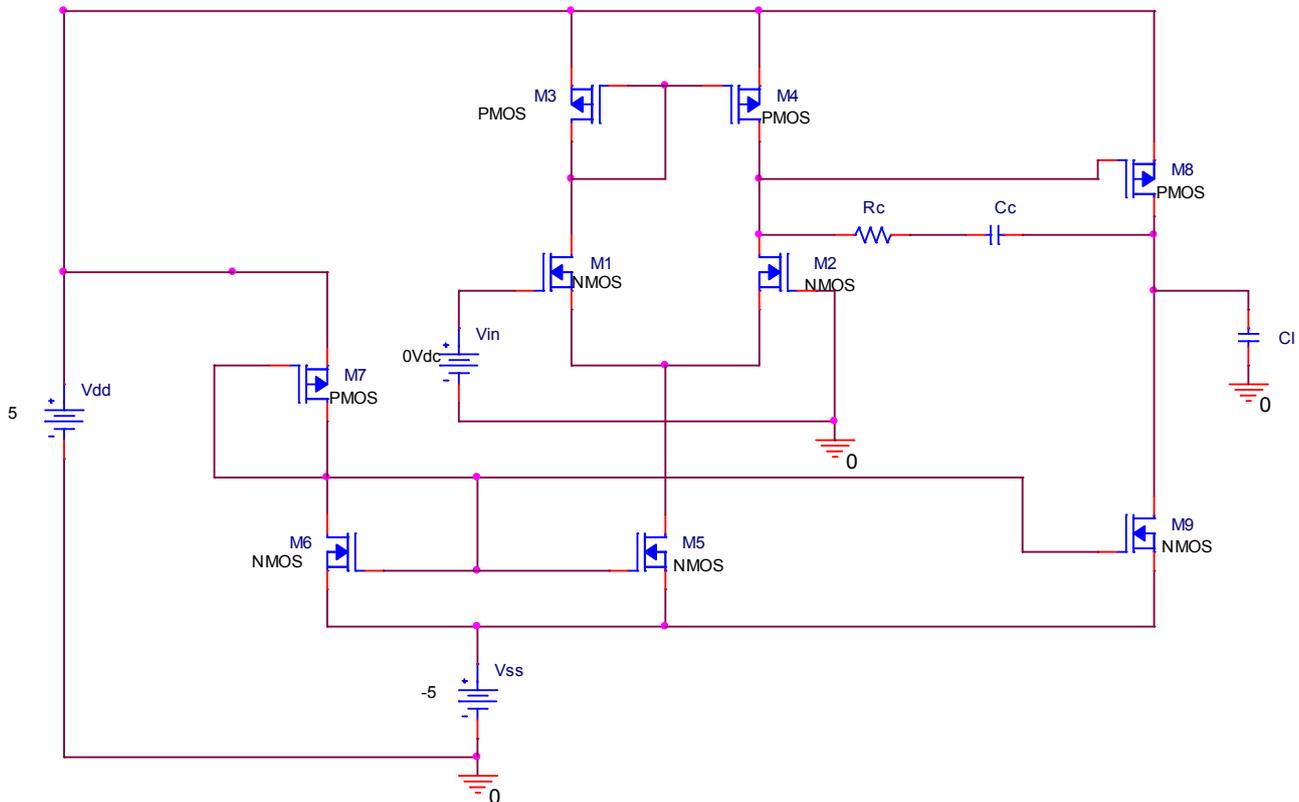
Il guadagno di tensione è:

$$A_{v1} = \frac{2\sqrt{2 * K_{\text{N}} * \frac{W_2}{L_2}}}{(\lambda_2 + \lambda_4) * \sqrt{ID_{\text{N5}}}} \quad \rightarrow \quad A_{v1} = 454.54 \quad \rightarrow \quad A_{v1} = 53.15 \text{ dB}$$

Il circuito progettato è quindi il seguente:

5) STADIO FINALE

Nella progettazione dello stadio finale si utilizzano tutti i blocchi funzionali già progettati:



Il circuito mostrato nella precedente figura rappresenta la configurazione finale dell'OTA.

Lo stadio di uscita è un common-source che ha principalmente il compito di fornire il necessario guadagno di tensione per soddisfare la specifica progettuale.

Inoltre esso è fondamentale nella definizione dell'output swing dell'amplificatore.

La specifica richiede un guadagno in continua dell'operazionale ad anello aperto pari a:

$$A_{v0} = 90 \text{ dB} \quad \rightarrow \quad A_{v0} = 31622.8$$

Il guadagno totale dell'OTA è dato dal prodotto tra il guadagno A_{v1} dello stadio differenziale e il guadagno A_{v2} del common-source.

Per soddisfare la specifica sul guadagno si vuole che:

$$A_{v2} > 40 \text{ dB} \quad \rightarrow \quad A_{v2} > 100$$

Se si impone questo guadagno si ottiene:

$$A_{V2} = -\frac{2}{(\lambda_8 + \lambda_9)(V_{SG8} - |V_{THP}|)}$$

$$V_{SG8} = 1.2V$$

quindi:

$$(\lambda_8 + \lambda_9) \leq \frac{2}{100 * (0.4)}; \quad (\lambda_8 + \lambda_9) \leq 0.05 V^{-1};$$

Siccome

$$\lambda_9 = 0,01 V^{-1} \text{ dal mosfet M9 già progettato}$$

$$\text{si deve avere } \lambda_8 \leq 0.04 V^{-1};$$

Si sceglie perciò:

$$\mathbf{M8: L2PMOS; L=2\mu m; \lambda=0,03V^{-1}; V_{THP}=-0,8V; K_p=12.5\mu A/V^2;}$$

In tal modo si ottiene una W8 pari a:

$$|A_{V2}| = \frac{2\sqrt{K_P * \frac{W8}{L8}}}{(\lambda_8 + \lambda_9) * \sqrt{IDP8}} > 100$$

Sapendo che $IDP8 = IDN9 = 8\mu A$, allora:

$$W8 > 5.12 \mu m \quad \rightarrow \quad W8 = 6 \mu m \quad \rightarrow \quad |A_{V2}| = 108.4 \quad \rightarrow \quad |A_{V2}| = 40.7 \text{ dB}$$

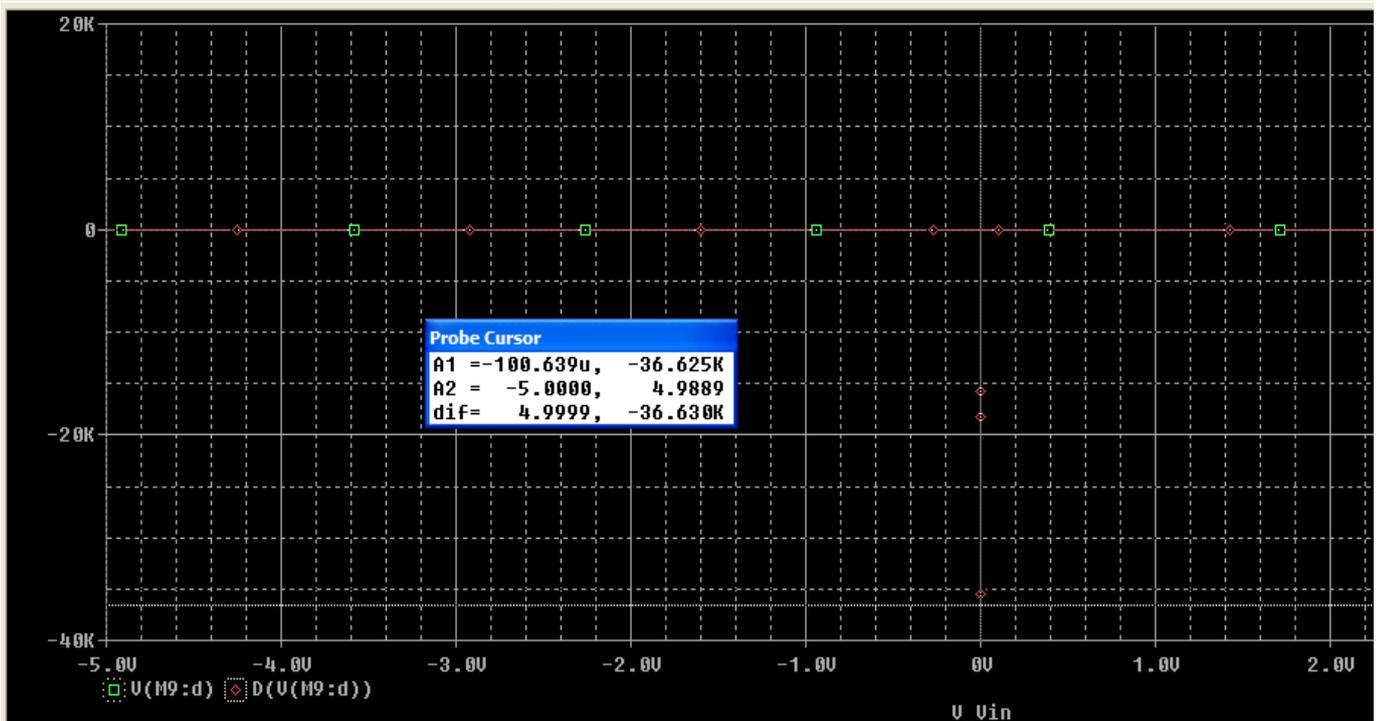
6) SIMULAZIONE RISULTATI

6.1) Guadagno di tensione

Secondo i calcoli effettuati a mano il guadagno in continua A_{v0} ad anello aperto dovrebbe essere:

$$|A_{v0}| = |A_{v1}| * |A_{v2}| \rightarrow |A_{v0}| = 49257 \rightarrow |A_{v0}| = 93.85 \text{ dB}$$

Effettuando la simulazione DC sweep con PSPICE si ottiene:



$$|A_{v0}| = 36625 \rightarrow |A_{v0}| \approx 91 \text{ dB}$$

Il circuito progettato soddisfa quindi pienamente la specifica sul guadagno di tensione.

6.2) CMRR

La specifica sul CMRR è:

$$\text{CMRR} > 80 \text{ dB}$$

L'espressione del CMRR è la seguente:

$$\text{CMRR} = 20 \text{ Log } | |A_{v1}| * 2 * g_{m4} * r_{o5} |$$

dove:

$$g_{m4} = \sqrt{2 * K_{P4} * \frac{W_4}{L_4} * I_{DN4}}$$

$$g_{m4} = 14,14 \mu\Omega^{-1}$$

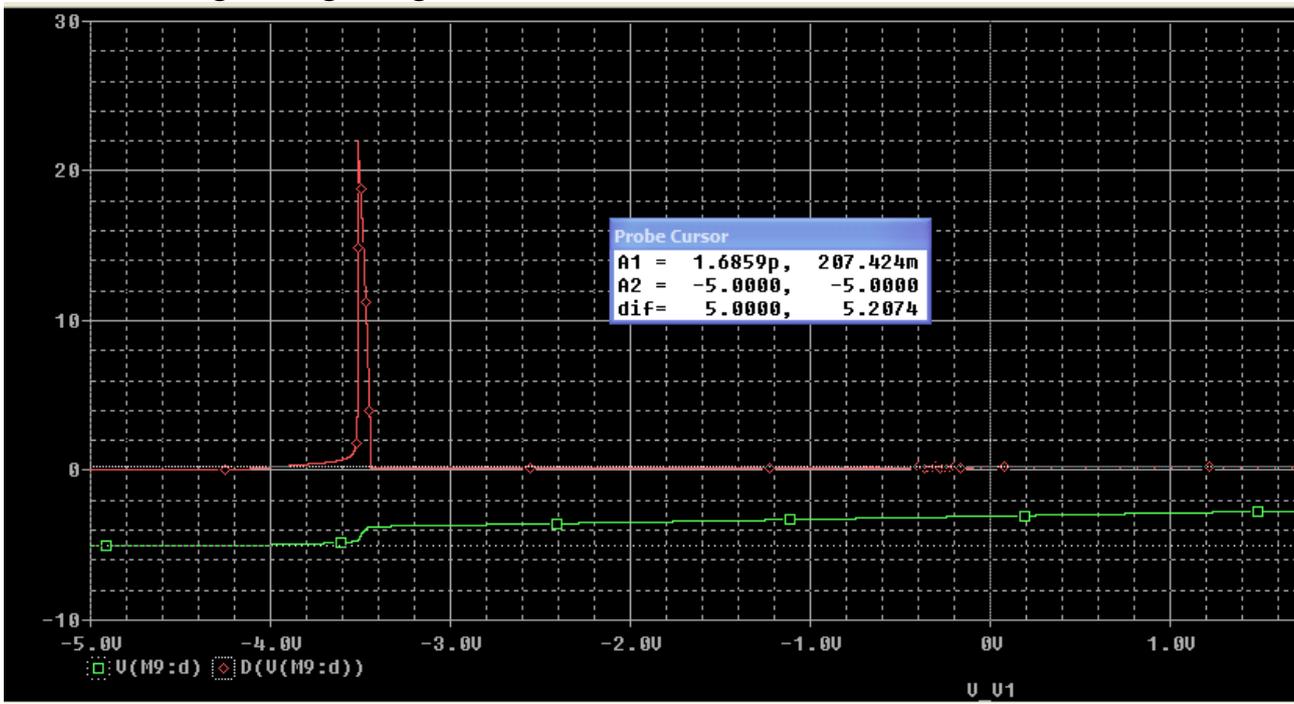
$$r_{o5} = \frac{1}{\lambda_5 * I_{DN5}}$$

$$r_{o5} = 12,5 \text{ M}\Omega$$

quindi:

CMRR \approx 107 dB

Effettuando la simulazione DC sweep con PSPICE con un segnale di modo comune si ottiene il seguente guadagno di modo comune:



$A_{VCM} = 207.242 \text{ m}$;

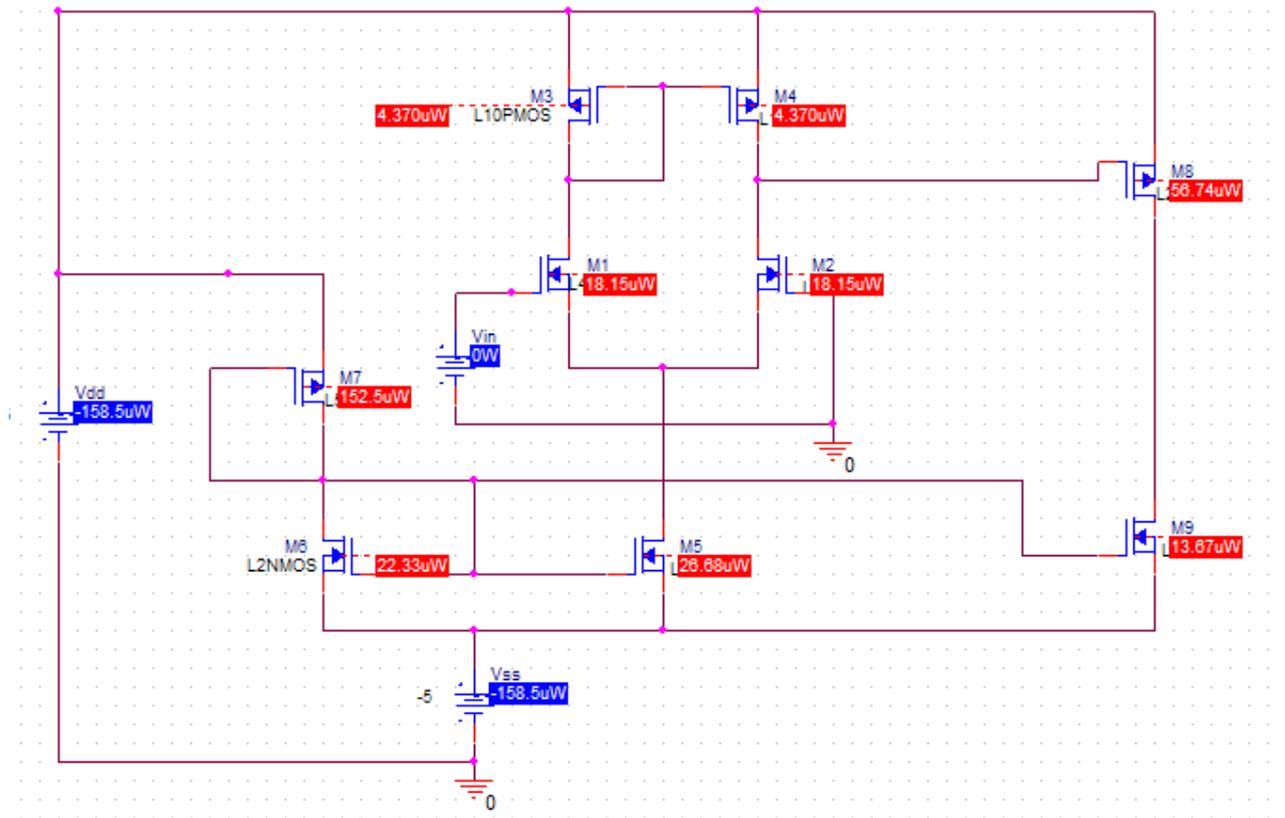
Quindi:

$$CMRR = 20 \text{ Log} \left| \frac{A_{v0}}{A_{VC}} \right| = 105 \text{ dB}$$

Il circuito progettato soddisfa pienamente anche la specifica sul CMRR.

6.3) Potenza dissipata

Per valutare con PSPICE la potenza dissipata dal circuito progettato si effettua una simulazione bias point e si somma la potenza dissipata dai singoli componenti passivi, cioè i transistori, oppure si somma la potenza erogata dai singoli componenti attivi, cioè i generatori:



$$P_{TOT} = 317 \mu W < 1 \text{ mW}$$

Il risultato ottenuto soddisfa ampiamente la specifica richiesta sulla potenza dissipata.

6.4) Output swing

Il campo di variazione della tensione di uscita o output swing di un amplificatore è l'intervallo di tensione che può assumere l'uscita senza che i due transistori M8 e M9 escano dalla regione di saturazione.

Il limite **superiore** del campo di variazione delle tensioni di uscita è determinato dalla tensione per cui M8 lascia la regione di saturazione quindi:

$$V_{SD8} \geq V_{SG8} + V_{TP};$$

$$V_{DS8} = -V_{SD8} = V_{O_{MAX}} - V_{DD};$$

$$V_{O_{MAX}} = V_{DD} + V_{SG8} - V_{TP};$$

Il limite **inferiore** del campo di variazione delle tensioni di uscita è determinato dalla tensione per cui M9 lascia la regione di saturazione quindi:

$$V_{DS9} \geq V_{GS9} - V_{TN};$$

$$V_{DS9} = V_{O_{MIN}} - V_{SS};$$

$$V_{O_{MIN}} = V_{SS} + V_{GS9} - V_{TN};$$

Si possono ricavare i valori delle tensioni V_{GS8} e V_{GS9} dalle espressioni delle loro correnti di *drain* :

$$V_{SG8} = \sqrt{\frac{I_{DP8} * L_8}{K_P * W_8}} + |V_{TP}| \quad \rightarrow \quad V_{SG8} = 1.26V \quad \rightarrow \quad V_{GS8} = -1.26V$$

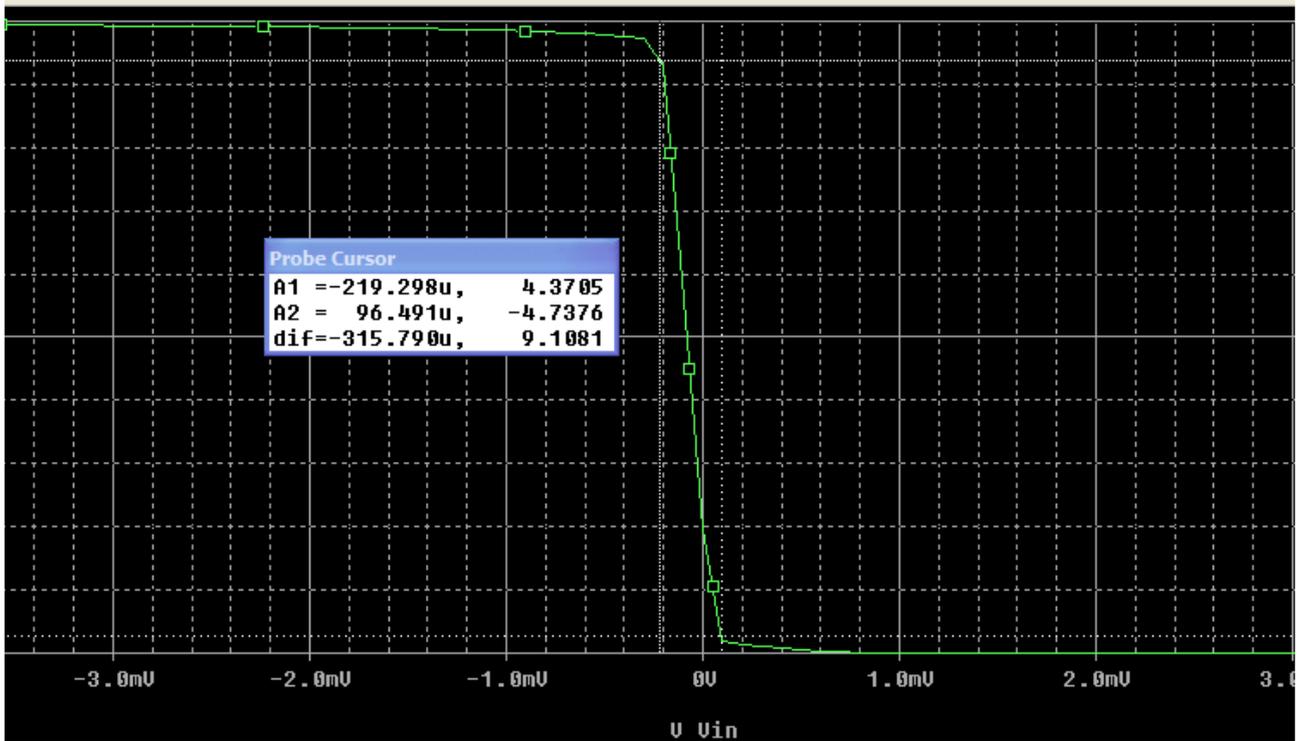
$$V_{GS9} = V_{GS5} = 1.2V$$

Quindi:

$$V_{O_{MAX}} = 4.54V > 3.5V$$

$$V_{O_{MIN}} = -4.6V < -3.5V$$

Tramite il simulatore PSPICE si possono ricavare qualitativamente dal grafico della transcaratteristica i valori dei punti estremi dell'output swing, che corrispondono agli estremi della regione di saturazione dell'amplificatore:



Si ha che:

$$V_{O_{MAX}} \approx 4.37 \text{ V}$$

$$V_{O_{MIN}} \approx -4.74 \text{ V}$$

Quindi anche la specifica sull'output swing è pienamente soddisfatta.

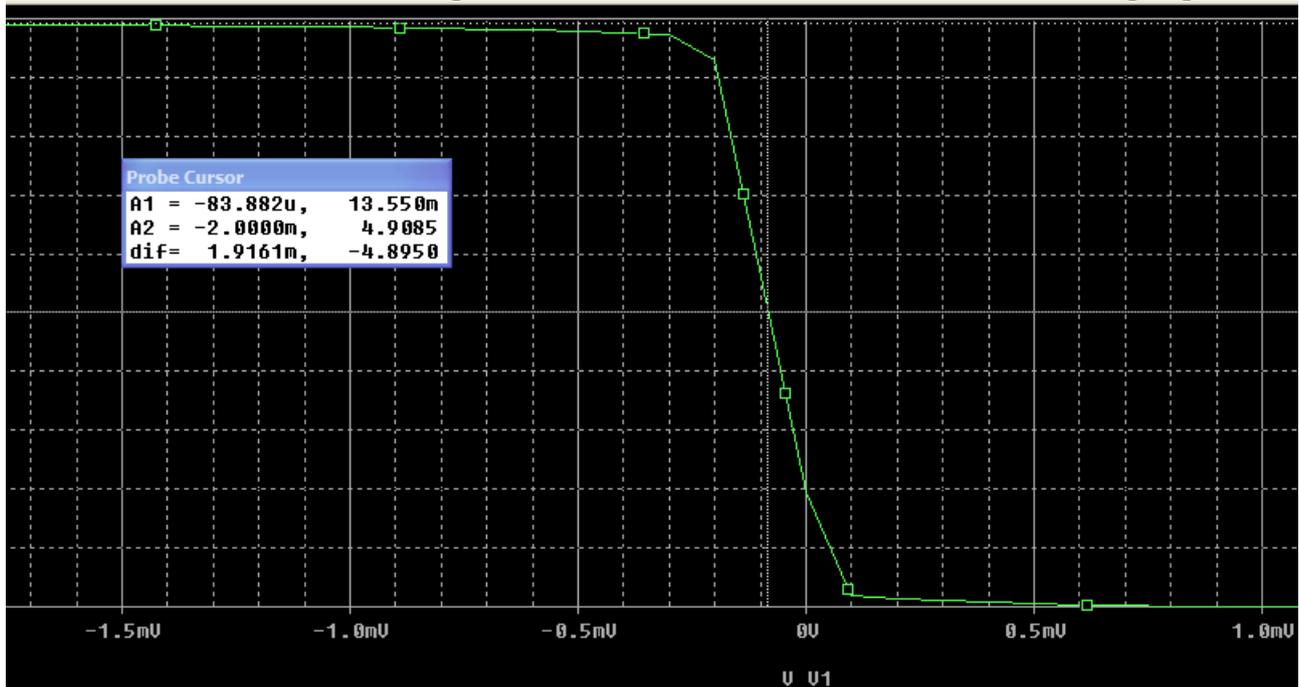
6.5) Tensione di offset in ingresso

La tensione di offset in ingresso è la tensione che si deve applicare in ingresso all'amplificatore operazionale a loop aperto per avere in uscita una tensione nulla.

Essa è dovuta solitamente a 3 fattori:

- sbilanciamento tra i dispositivi dello stadio di ingresso
- sbilanciamento tra i transistori di carico
- differenze di K e di V_{TH}

Con un simulazione DC sweep si è valutata la tensione di offset dell'OTA progettato:



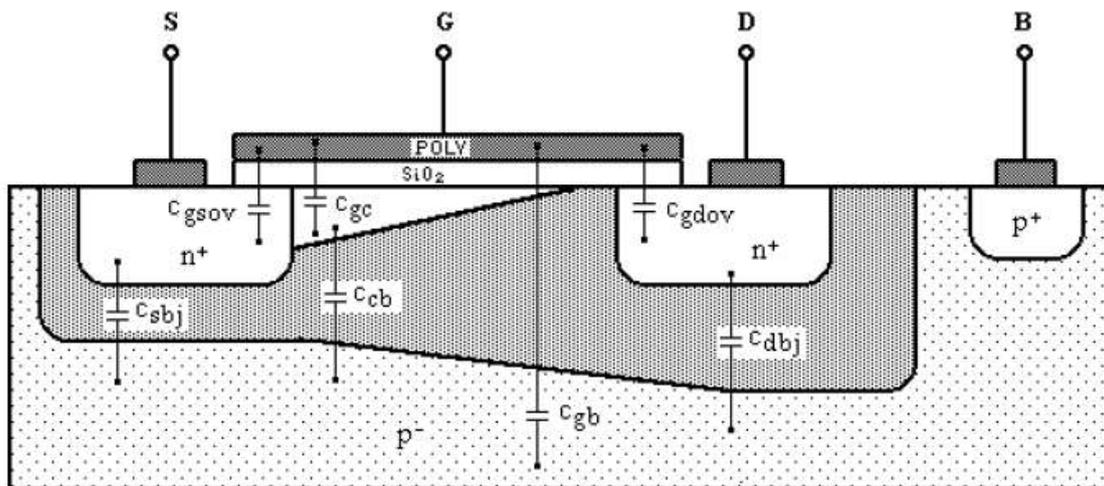
Dalla figura si può vedere che:

$$V_{OS} \approx -84 \mu V$$

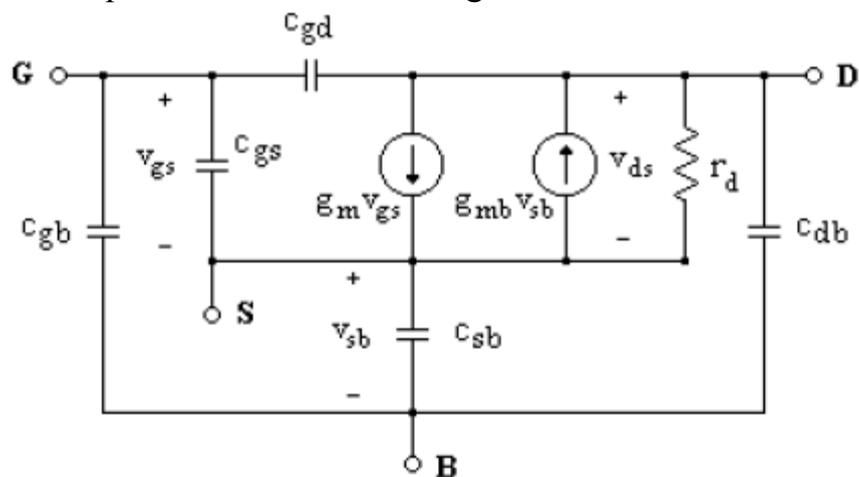
7) RISPOSTA IN FREQUENZA

7.1) Modello del MOSFET in alta frequenza

Per studiare la risposta in alta frequenza di un amplificatore basato sui mosfet, si deve disporre di un modello del componente che tenga conto degli effetti capacitivi presenti al suo interno:



Il modello in alta frequenza del mosfet è il seguente:



La capacità tra gate e source C_{gs} è composta dalla capacità parassita costante di overlap C_{gsov} , dovuta alla sovrapposizione tra l'elettrodo di gate e la zona di source, e dalla capacità di valore predominante tra gate e canale C_{gc} .

Quando il dispositivo funziona nella regione di triodo con una piccola V_{ds} , il canale è uniforme e la capacità tra gate e canale, pari a $C_{ox}WL$, si suddivide in parti uguali tra source e drain e perciò viene rappresentata come il parallelo di due condensatori C_{gs} e C_{gd} ognuno uguale a $\frac{1}{2} C_{ox}WL$.

Nella regione di saturazione il canale si strozza all'estremità del drain, la capacità tra gate e canale diventa $\frac{2}{3} C_{ox}WL$ e contribuisce soltanto alla C_{gs} :

$$C_{gs} = C_{gc} + C_{gs\text{ov}} = \frac{2}{3}C_{ox}WL + C_{ox}WL_{ov} \cong \frac{2}{3}C_{ox}WL$$

La capacità tra gate e drain C_{gd} in regione di saturazione è quindi composta solo dalla capacità costante di overlap $C_{gd\text{ov}}$, dovuta alla sovrapposizione tra l'elettrodo di gate e la zona di source:

$$C_{gd} = C_{gd\text{ov}} = C_{ox}WL_{ov} \cong 0.1C_{gc}$$

Tale capacità, anche se di valore molto piccolo, non è trascurabile in quanto il suo valore viene notevolmente amplificato per effetto Miller, assumendo perciò lo stesso ruolo della capacità C_{μ} del BJT.

La capacità tra source e bulk C_{sb} è composta dal parallelo della capacità tra canale e bulk C_{cb} di valore trascurabile e della capacità di svuotamento della giunzione source-bulk polarizzata inversamente:

$$C_{sb} = C_{cb} + C_{sbj} \cong C_{sbj} = \frac{C_{sb0}}{\left(1 + \frac{|V_{SB}|}{|\phi_i|}\right)^{1/2}}$$

dove ϕ_i è il potenziale di barriera della giunzione.

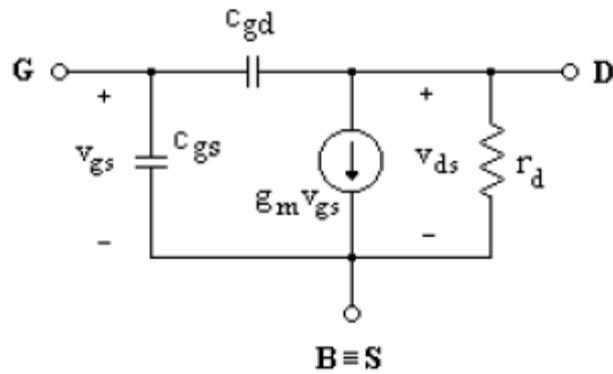
La capacità tra drain e bulk C_{db} è composta dalla capacità di svuotamento della giunzione drain-bulk polarizzata inversamente:

$$C_{db} = C_{dbj} = \frac{C_{db0}}{\left(1 + \frac{|V_{DB}|}{|\phi_i|}\right)^{1/2}}$$

La capacità tra gate e bulk C_{gb} è composta dalla capacità parassita tra il gate e il substrato:

$$C_{gb} \cong 0.1C_{ox}$$

Nelle applicazioni in cui source e bulk sono cortocircuitati tra loro, il modello si semplifica:

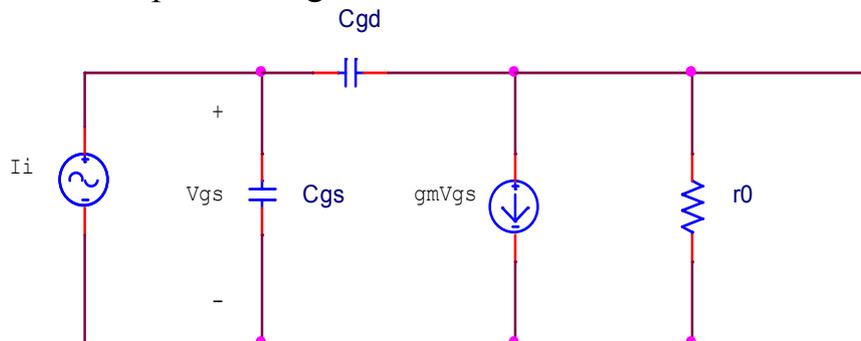


In tal caso C_{gb} è inclusa in C_{gs} , C_{db} viene trascurata e C_{sb} viene eliminata. Si noti che anche il generatore controllato $g_{mb}V_{sb}$ viene eliminato poiché l'effetto body viene ignorato.

7.2) Frequenza di guadagno unitario

Un parametro molto importante per il funzionamento di un mosfet ad alta frequenza è la frequenza di guadagno unitario f_t , che è definita come la frequenza per cui l'ampiezza del guadagno di corrente in cortocircuito, per la configurazione a source comune, si riduce all'unità.

Per calcolare tale frequenza si considera il seguente circuito in cui il terminale di source è comune tra le porte di ingresso e di uscita cortocircuitata:



$$i_0 = g_m V_{gs}$$

$$V_{gs} = i_i / s(C_{gs} + C_{gd})$$

$$A_i = i_0 / i_i = g_m / s(C_{gs} + C_{gd})$$

da cui

$$\omega_t = g_m / (C_{gs} + C_{gd}) \quad \rightarrow \quad f_t = 2\pi(C_{gs} + C_{gd})$$

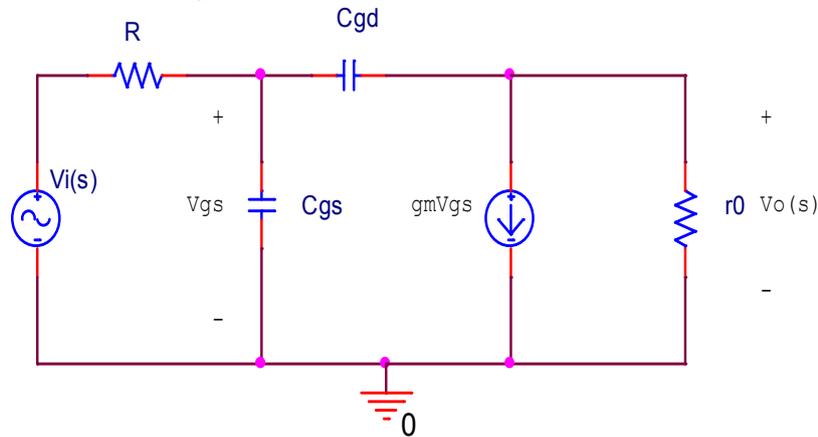
Si noti che f_t è un parametro proprio del componente ed è indipendente dal circuito nel quale il componente viene inserito.

Inoltre f_t è proporzionale a g_m e inversamente proporzionale alle capacità interne, quindi più alto sarà il valore di f_t , migliore sarà il comportamento del mosfet come amplificatore in alta frequenza.

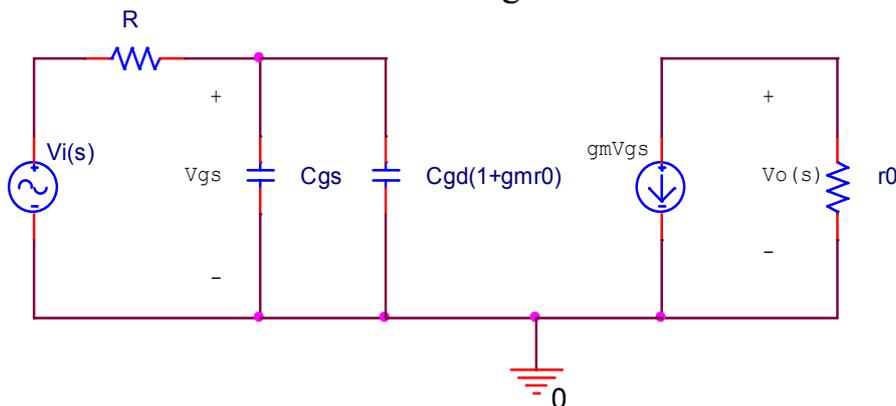
7.3) Risposta in alta frequenza dell'amplificatore a source comune

Per lo studio della risposta in frequenza dell'amplificatore a source comune viene applicato il teorema di Miller per sostituire C_{gd} con una capacità equivalente di ingresso tra gate e massa.

Il circuito da studiare è il seguente:



Applicando il teorema di Miller si ottiene il seguente circuito:



La capacità equivalente di uscita tra drain e massa che si ottiene dal teorema di Miller può essere trascurata poiché essa è circa uguale a C_{gd} e quindi di valore non significativo.

Nel circuito di ingresso si ottiene così un filtro passa-basso del primo ordine, la cui costante di tempo è determinata dalla capacità complessiva

$$C_T = C_{gs} + C_{gd} (1 + g_m r_0)$$

e dalla resistenza R del generatore.

Questo circuito del primo ordine introduce un polo dominante e quindi determina la risposta in alta frequenza dell'amplificatore.

La frequenza di taglio superiore ω_H o frequenza a -3dB è data da

$$\omega_H = 1 / R C_T$$

Il guadagno in alta frequenza può essere espresso come

$$A_H(s) = \frac{A_M}{1 + s/\omega_H}$$

dove A_M indica il guadagno nella banda intermedia dato da

$$A_M = -g_m r_0$$

Si noti l'importanza del ruolo svolto dalla piccola capacità C_{gd} di controreazione nel determinare la risposta in alta frequenza dell'amplificatore a source comune.

Essa dà luogo per effetto Miller ad una grande capacità tra i terminali di ingresso dell'amplificatore, capacità che influisce notevolmente sulla frequenza di taglio e quindi sulla banda dell'amplificatore poiché introduce un polo dominante nella risposta in frequenza.

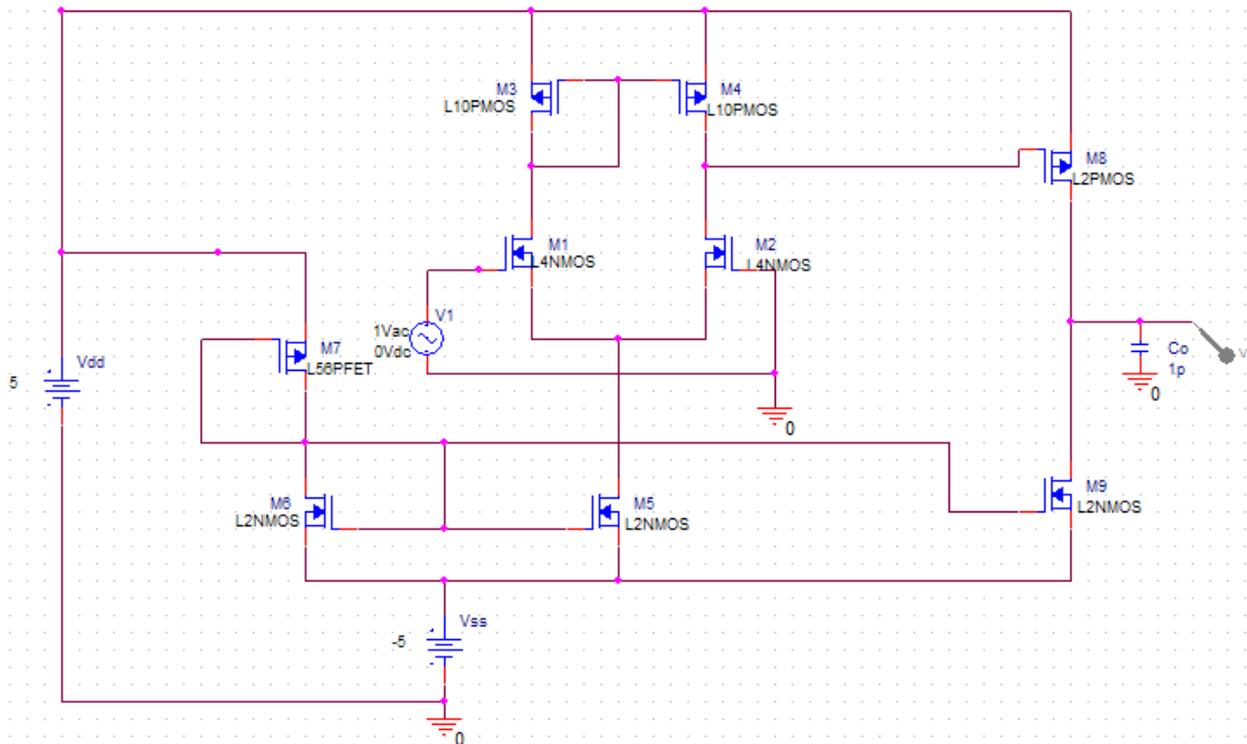
Ne consegue che per aumentare la banda dell'amplificatore si deve necessariamente ridurre il guadagno nella banda intermedia.

L'analisi effettuata, applicando il teorema di Miller, per determinare la risposta in alta frequenza dell'amplificatore a source comune è un'analisi notevolmente semplificata. Infatti in realtà tale risposta presenta uno zero e due poli le cui frequenze vengono determinate utilizzando relazioni e formule molto più complesse.

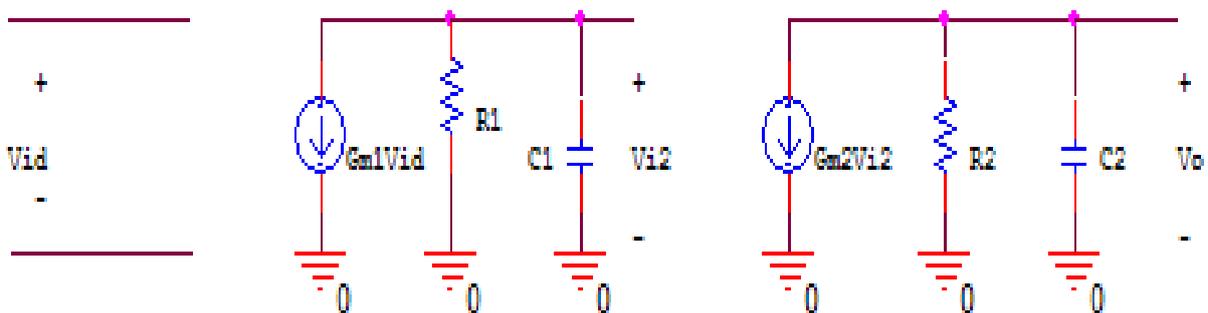
Comunque il risultato di tale analisi è soddisfacente in quanto effettivamente nella risposta in frequenza è presente un polo dominante dovuto all'effetto Miller e l'espressione della frequenza di tale polo, sebbene semplificata, fornisce un'ottima approssimazione.

7.4) Risposta in frequenza dell'OTA non retroazionato

Il guadagno di modo differenziale ad anello aperto di un amplificatore operazionale reale non solo è finito ma diminuisce sensibilmente al crescere della frequenza con un tipico andamento da “filtro passa-basso”:



Il circuito equivalente semplificato per piccoli segnali dell'OTA progettato è il seguente:



$R1 = r_{o2}/r_{o4} \rightarrow$ resistenza di uscita dello stadio differenziale

$Gm1 = gm1 = gm2 \rightarrow$ transconduttanza dello stadio differenziale

$C1 \rightarrow$ capacità complessiva tra primo e secondo stadio

$R_2 = r_{o8} // r_{o9} \rightarrow$ resistenza di uscita del secondo stadio

$G_{m2} = g_{m8} \rightarrow$ transconduttanza del secondo stadio

$C_2 \rightarrow$ capacità complessiva sul nodo di uscita

Esso è un circuito a più poli che, se retroazionato, può facilmente diventare instabile. Perciò nella configurazione in retroazione si procede ad una compensazione in frequenza.

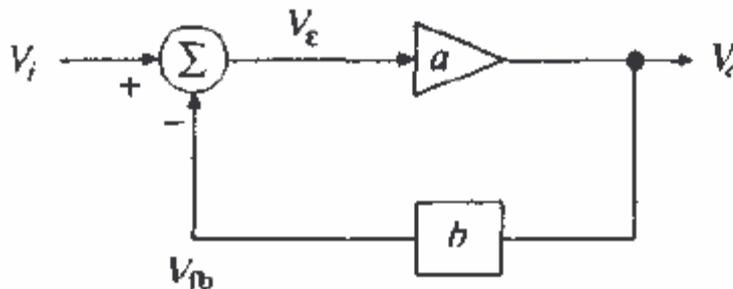
Siccome nella risposta in frequenza vi sono 2 poli a bassa frequenza introdotti a monte e a valle dello stadio di uscita, la modalità di compensazione più opportuna è quella per effetto Miller.

8) CONTROREAZIONE

8.1) Controreazione negativa

La controreazione o retroazione negativa viene solitamente utilizzata nel progetto di amplificatori.

Lo schema a blocchi di un sistema a retroazione negativa è il seguente:



Il termine 'a' rappresenta il *guadagno ad anello aperto*, mentre il termine 'b' rappresenta il *fattore di retroazione*.

Il guadagno del sistema retroazionato è :

$$A = \frac{V_o}{V_i} = \frac{a}{1 + ab}$$

La quantità 'ab' è il *guadagno di anello*.

Se la controreazione è negativa, il guadagno di anello deve essere positivo.

Il fattore di riduzione del guadagno '1 + ab' è detto *tasso di controreazione*.

Si noti che se il guadagno di anello risulta essere molto grande ($ab \gg 1$), il guadagno dell'amplificatore retroazionato dipende esclusivamente dalla rete di retroazione:

$$ab \gg 1 \quad \rightarrow \quad A = 1/b$$

Ciò permette di ottenere guadagni accurati, prevedibili e stabili, in quanto generalmente la rete di controreazione è costituita da componenti passivi, il cui valore può essere scelto con precisione elevata.

I vantaggi di una controreazione negativa nel progetto di un amplificatore sono molti e vengono ottenuti, come si è precedentemente visto, a prezzo di una riduzione del guadagno.

Il tasso di controreazione è anche il fattore di cui il circuito viene stabilizzato, di cui viene aumentata l'impedenza di ingresso di un amplificatore di tensione, di cui viene allargata la banda passante.

Quindi il principio che sta alla base della controreazione negativa consiste nello scambiare il vantaggio di un elevato guadagno con altri interessanti vantaggi. I principali vantaggi che si possono ottenere da una retroazione negativa sono:

- **stabilizzazione del guadagno**, cioè rendere il valore del guadagno ad anello aperto meno sensibile alle variazioni che si verificano nei componenti del circuito, come per esempio quelle causate da variazioni parametriche o di temperatura

$$\frac{dA}{A} = \frac{1}{1+ab} \cdot \frac{da}{a}$$

Da tale relazione si vede che la variazione percentuale del guadagno ad anello chiuso è minore della variazione percentuale del guadagno ad anello aperto di un fattore pari al tasso di controreazione.

- **riduzione della distorsione non lineare**, cioè rendere il guadagno indipendente dall'ampiezza del segnale di ingresso
- **riduzione dell'effetto dovuto al rumore**
- **modifica delle impedenze di ingresso e di uscita**, cioè aumentare e diminuire le impedenze di ingresso e di uscita attraverso una opportuna tipologia di retroazione

$$R_o \cong \frac{r_o}{1+ab}$$

$$R_i \cong r_d(1+ab)$$

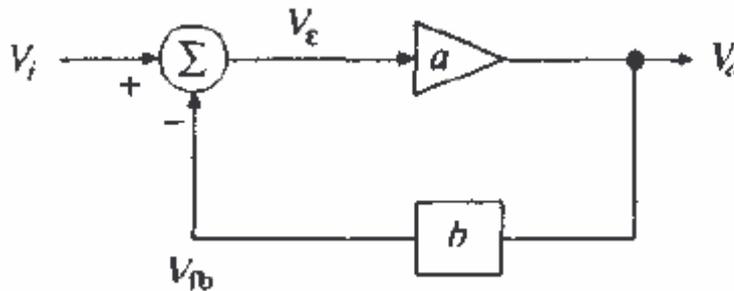
- **aumento della banda passante**

$$\omega_p' = \omega_p(1+ab)$$

8.2) Stabilità

La retroazione negativa non comporta solo vantaggi ma può causare anche instabilità nel circuito; in certe condizioni la retroazione da negativa può diventare positiva e di ampiezza tale da causare l'oscillazione del circuito.

Per studiare la stabilità di un amplificatore operazionale si consideri nuovamente lo schema a blocchi generale di un sistema retroazionato negativamente:



Il sistema è stabile se in presenza di un segnale nullo in ingresso si ha in uscita un segnale nullo oppure se in presenza di un disturbo il sistema reagisce ad esso generando un segnale di errore.

La funzione di trasferimento ad anello chiuso di un amplificatore retroazionato è la seguente:

$$A(s) = \frac{a(s)}{1 + a(s)b(s)}$$

Ciò che determina la stabilità o l'instabilità di un amplificatore retroazionato è il modo in cui il guadagno di anello varia con la frequenza.

Il guadagno di anello introduce uno sfasamento ed in generale esiste una frequenza ω_{180} tale per cui lo sfasamento diventa pari a 180° ed in corrispondenza della quale la retroazione diventa positiva:

$$A(j\omega_{180}) = \frac{a(s)}{1 - |a(s)b(s)|}$$

Allora sono possibili 3 situazioni differenti:

- 1) il modulo del guadagno di anello per $\omega = \omega_{180}$ è minore di uno, quindi il guadagno ad anello chiuso si mantiene finito, anche se maggiore del guadagno ad anello aperto. Comunque l'amplificatore risulta stabile.
- 2) il modulo del guadagno di anello per $\omega = \omega_{180}$ è unitario, quindi il guadagno ad anello chiuso tende ad infinito. In tal caso l'amplificatore avrà uscita non nulla in corrispondenza di un ingresso nullo poiché una qualsiasi forma di rumore è capace di generare ed autosostenere un'oscillazione proprio alla frequenza ω_{180} . L'amplificatore diventa perciò un oscillatore e non è stabile.

- 3) il modulo del guadagno di anello per $\omega=\omega_{180}$ è maggiore di uno, quindi l'amplificatore comincia ad oscillare e le oscillazioni aumenteranno di ampiezza fino a che il guadagno ad anello aperto non diminuisce a causa delle non linearità del circuito. A questo punto l'ampiezza delle oscillazioni si stabilizzerà e si instaureranno oscillazioni autosostenute.

Il progettista di un amplificatore operazionale ha il compito di verificare la stabilità del circuito.

Innanzitutto deve verificare se esiste una frequenza per cui lo sfasamento del guadagno di anello è di 180° .

In caso affermativo deve determinare l'ampiezza del guadagno di anello in corrispondenza di tale frequenza.

Se esso non è minore di uno, il circuito è instabile e bisogna ricorrere a qualche tecnica di compensazione in modo da ottenere un adeguato **margin di guadagno e di fase**.

Il margine di guadagno è definito come la differenza tra uno e il valore del modulo del guadagno di anello alla frequenza ed è solitamente definito in dB, mentre il margine di fase come la differenza tra 180° e il valore dello sfasamento alla frequenza di taglio ω_t .

Per avere un amplificatore stabile è necessario che i due margini siano maggiori di zero e abbiano un'ampiezza tale da garantire la stabilità anche in presenza di variazioni nel circuito.

8.3) Effetto della controreazione sui poli di un amplificatore

La risposta in frequenza di un amplificatore e la sua stabilità sono direttamente determinate dai suoi poli.

Affinché un amplificatore sia stabile i suoi poli devono essere situati nella parte sinistra del piano s , cioè devono essere a parte negativa.

Dalla funzione di trasferimento ad anello chiuso si può vedere che i poli dell'amplificatore retroazionato sono gli zeri della seguente equazione:

$$1 + a(s)b(s) = 0$$

Tale equazione è chiamata *equazione caratteristica* dell'anello di retroazione.

E' evidente che applicando una retroazione si modificano i poli della risposta in frequenza.

Gli amplificatori retroazionati con risposta a singolo e doppio polo sono *incondizionatamente stabili* in quanto nel primo caso il guadagno di anello non può mai raggiungere lo sfasamento di 180° per il quale la retroazione può diventare positiva, mentre nel secondo caso lo sfasamento massimo è di 180° ma esso viene raggiunto per $\omega=\infty$ e quindi non esiste una frequenza finita per cui lo sfasamento è di 180° .

Gli amplificatori retroazionati con tre o più poli possono invece diventare instabili poiché sicuramente esiste una frequenza ω_{180} per cui il guadagno di anello presenta uno sfasamento di 180° .

Per questo tipo di amplificatori si deve alterare la funzione di trasferimento d'anello $a(s)b(s)$ in modo che i poli non entrino nella parte destra del piano s , compromettendo la stabilità dell'amplificatore.

Tale processo è noto come *compensazione in frequenza*.

9) COMPENSAZIONE IN FREQUENZA

9.1) Compensazione a polo dominante

Si è già detto che compensare un amplificatore retroazionato a tre o più poli significa modificare la funzione di trasferimento d'anello in modo da renderlo stabile, cioè garantire un adeguato margine di guadagno e di fase, per qualunque valore del guadagno ad anello chiuso.

Una semplice tecnica di compensazione consiste nel ridurre il guadagno ad anello aperto, ottenendo così una traslazione verso il basso della risposta in frequenza ad anello aperto.

Questa tecnica è però poco applicata poiché introduce un'attenuazione del guadagno su tutto l'asse delle frequenze.

Il metodo più utilizzato per realizzare la compensazione in frequenza consiste nell'introdurre un nuovo polo dominante nella risposta ad anello aperto ad una frequenza abbastanza bassa da assicurare una pendenza costante di -20dB/decade e quindi uno sfasamento di -90° fino alla frequenza di taglio ω_t .

In tal modo il margine di guadagno sarà sicuramente positivo e il margine di fase circa pari a 90° .

Questa tecnica, per essere implementata esternamente all'OTA, richiede la presenza di un piedino del circuito integrato dedicato, collegato internamente ad un punto del percorso del segnale che collega lo stadio differenziale di ingresso allo stadio di uscita.

Nella compensazione a polo dominante solitamente si introduce in un certo punto del circuito una capacità di compensazione C_c , che sposta un polo già esistente nel circuito ad una così frequenza bassa da renderlo dominante.

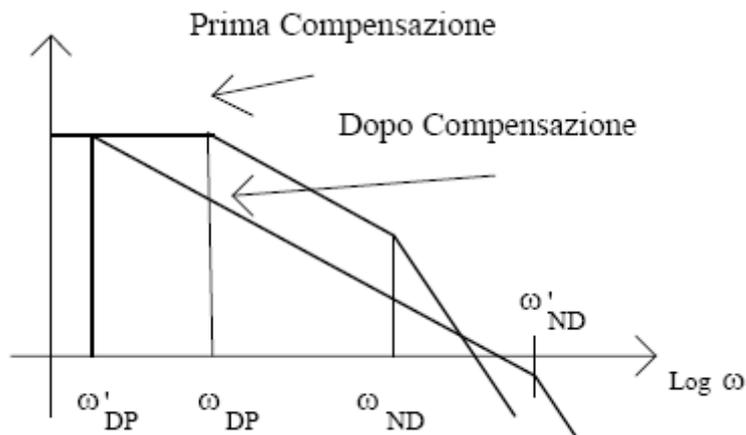
Spesso per ottenere tale risultato si devono utilizzare capacità di valore elevato, che nel caso di amplificatori operazionali integrati non possono essere inserite nel circuito.

Questo problema viene risolto inserendo il condensatore di compensazione in controreazione ad uno stadio amplificatore in modo che tale capacità, a causa dell'effetto Miller, venga moltiplicata per il guadagno dello stadio, dando luogo ad una capacità equivalente molto maggiore.

9.2) Compensazione di Miller

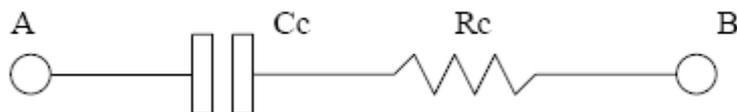
La compensazione di Miller si effettua inserendo una capacità di compensazione in retroazione allo stadio di uscita e comporta i seguenti effetti:

- il polo dominante ω_{DP} viene spostato verso frequenze più basse grazie alla piccola capacità di compensazione incrementata dall'effetto Miller, mentre il polo non dominante ω_{ND} viene spostato verso frequenze più alte. Tale effetto è chiamato **pole splitting** (slittamento dei poli) ed è molto importante poiché lo spostamento di ω_{ND} verso frequenze più elevate comporta una banda sicuramente più ampia, come si può intuire nella seguente figura:



- la compensazione per effetto Miller introduce uno zero significativo nel semipiano destro, che si trova solitamente a frequenza più bassa del polo non dominante. Siccome lo zero si trova nel semipiano destro, esso ai fini dello sfasamento si comporta esattamente come un polo, cioè invece di dare uno sfasamento in anticipo dà uno sfasamento in ritardo, contribuendo così a peggiorare il margine di fase e a inficiare la stabilità dell'amplificatore. Per ovviare a tale problema si possono utilizzare tre diverse tecniche:

1) inserimento di una **resistenza R_c** in serie al condensatore di compensazione, per modificare la posizione dello zero:

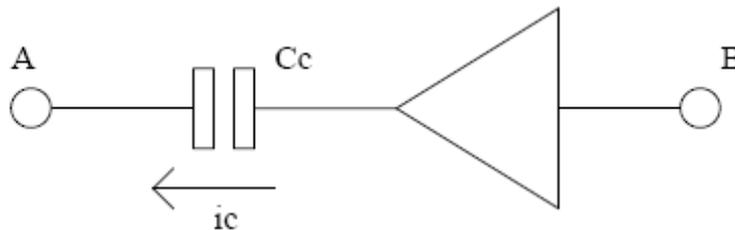


In tal caso si hanno due possibilità progettuali: spostare lo zero nel semipiano sinistro o eliminare completamente lo zero.

Tale soluzione però è insufficiente dal punto di vista della reiezione dei disturbi presenti sulle alimentazioni poiché permette al segnale di disturbo ad alta frequenza di accoppiarsi direttamente con l'uscita.

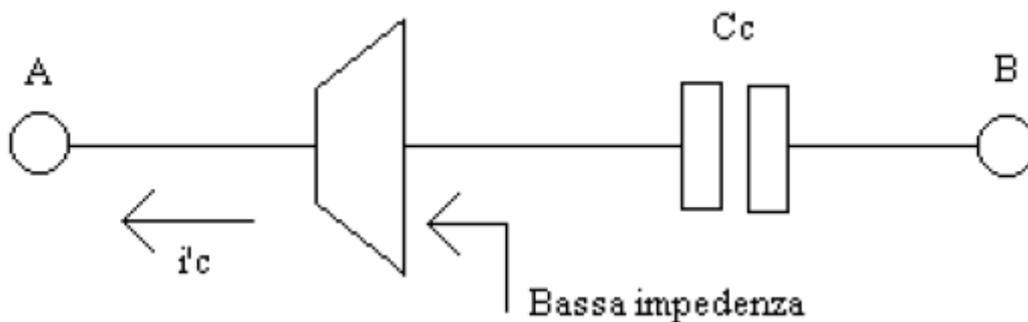
Perciò le successive soluzioni sono maggiormente utilizzate, in quanto realizzano una rete di retroazione unidirezionale e non consentono quindi l'accoppiamento diretto tra segnale di disturbo e uscita.

2) inserimento di un **buffer di tensione** (inseguitore di source o common-drain) in serie al condensatore di compensazione:



In tal modo si rimuove la causa che porta alla comparsa dello zero nel semipiano destro, cioè la corrente diretta dal nodo A al nodo B, salvaguardando la corrente i_c che va da B ad A, che è la corrente responsabile della compensazione.

4) inserimento di un **buffer di corrente** (common-gate) in serie al condensatore di compensazione:



Anche in questo caso il buffer di corrente non permette la conduzione da A verso B.

9.3) Compensazione dell'OTA progettato

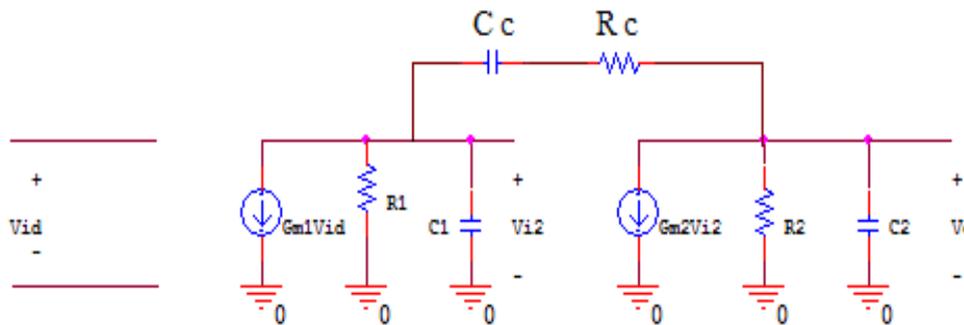
La compensazione per effetto Miller risulta essere la più adeguata nel caso dell'OTA retroazionato.

Infatti, per poter utilizzare l'effetto Miller nella compensazione in frequenza, si ha bisogno di un blocco invertente all'interno dell'amplificatore con due poli a bassa frequenza, uno all'ingresso del blocco invertente e uno in uscita.

Nell'OTA si è visto che vi sono 2 poli a bassa frequenza introdotti a monte e a valle dello stadio di uscita, che è uno stadio common-source invertente.

Nel progetto si è scelto di effettuare la compensazione in frequenza dell'OTA utilizzando lo schema condensatore+resistenza.

Il circuito equivalente per piccoli segnali dell'OTA compensato è il seguente:



I poli del circuito hanno le seguenti espressioni:

$$\omega_{DP} = 1 / Cc(1+Gm2*R2)R1 \approx 1 / Gm2* R2*Cc*R1$$

$$\omega_{NP} = Gm2*Cc/C1*C2+Cc(C1+C2) \approx Gm2/C2$$

Si noti che il primo polo è dovuto all'interazione tra R1 e la capacità di compensazione moltiplicata dall'effetto Miller.

Aumentando il valore di Gm2 i poli si distanziano tra di loro (pole splitting) e migliora la stabilità del circuito.

Per rendere dominante il primo polo si deve scegliere Cc in modo che ω_{DP} , moltiplicato per il guadagno in continua, dia la frequenza di guadagno unitario ω_t . Il valore di ω_t è solitamente scelto in modo da risultare minore della frequenza dei poli non dominanti e degli zeri, in modo da garantire una sicura stabilità:

$$\omega_t = A_0 * \omega_{DP} = Gm1/Cc$$

Si è visto che la capacità di Miller introduce anche uno zero nel semipiano destro. La posizione dello zero può essere facilmente determinata direttamente sul circuito per piccoli segnali, cercando il valore di s per cui risulta $V_o=0$.

Quando $V_o=0$, la corrente che scorre in C_c diventa $s \cdot C_c \cdot V_i2$ nella direzione che va dall'ingresso del common-source verso l'uscita. Poiché $V_o=0$, non scorrerà corrente in R_2 e C_2 , quindi l'equazione al nodo di uscita sarà:

$$s \cdot C_c \cdot V_i2 = G_{m2} \cdot V_i2$$

da cui si ottiene la posizione dello zero senza l'utilizzo di R_c :

$$s = G_{m2} / C_c$$

Da tale relazione si può vedere che la frequenza dello zero sarà prossima alla frequenza ω_t .

Poiché lo zero si trova nel semipiano destro, introduce uno sfasamento che può compromettere la stabilità dell'amplificatore.

Inserendo la resistenza R_c in serie a C_c , la posizione dello zero viene modificata. Ponendo $V_o=0$, la corrente che scorre in C_c risulta $V_i2 / (R_c + 1/sC_c)$ e l'equazione al nodo di uscita è la seguente:

$$V_i2 / (R_c + 1/sC_c) = G_{m2} \cdot V_i2$$

da cui si ottiene la nuova posizione dello zero:

$$s = 1 / C_c (1 / G_{m2} - R_c)$$

Scegliendo $R_c = 1/G_{m2}$ lo zero viene posto a frequenza infinita, mentre scegliendo R_c maggiore di $1/G_{m2}$ si pone lo zero nel semipiano sinistro dove lo sfasamento che introduce migliora il margine di fase.

Un ulteriore problema riguarda il fatto che la frequenza del polo non dominante non è molto lontana da ω_t e quindi riduce il margine di fase.

Tale problema può essere attenuato aumentando C_c e quindi diminuendo la banda dell'amplificatore.

Nell'OTA progettato si hanno i seguenti parametri:

$$Gm2 = gm8 = \sqrt{2 * KP8 * \frac{W8}{L8} * IDP8} = 24.5 \mu\Omega^{-1}$$

$$Gm1 = gm1 = \sqrt{2 * KN1 * \frac{W1}{L1} * IDN1} = 14.14 \mu\Omega^{-1}$$

$$r_{o2} = \frac{1}{\lambda2 * IDN2} = 50 \text{ M}\Omega$$

$$r_{o4} = \frac{1}{\lambda4 * IDP4} = 41.67 \text{ M}\Omega$$

$$r_{o8} = \frac{1}{\lambda8 * IDP8} = 4.17 \text{ M}\Omega$$

$$r_{o9} = \frac{1}{\lambda9 * IDN9} = 12.5 \text{ M}\Omega$$

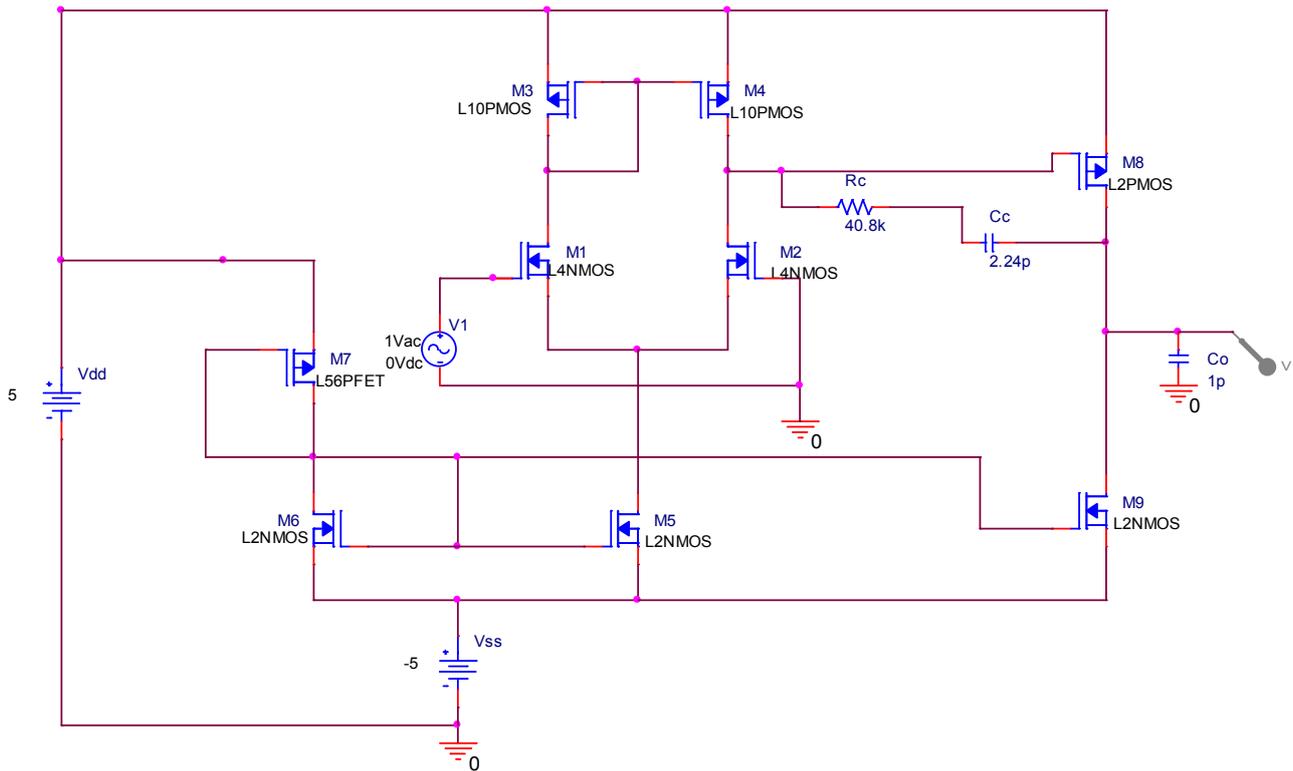
$$R1 = r_{o2} // r_{o4} = 22.73 \text{ M}\Omega$$

$$R2 = r_{o8} // r_{o9} = 3.127 \text{ M}\Omega$$

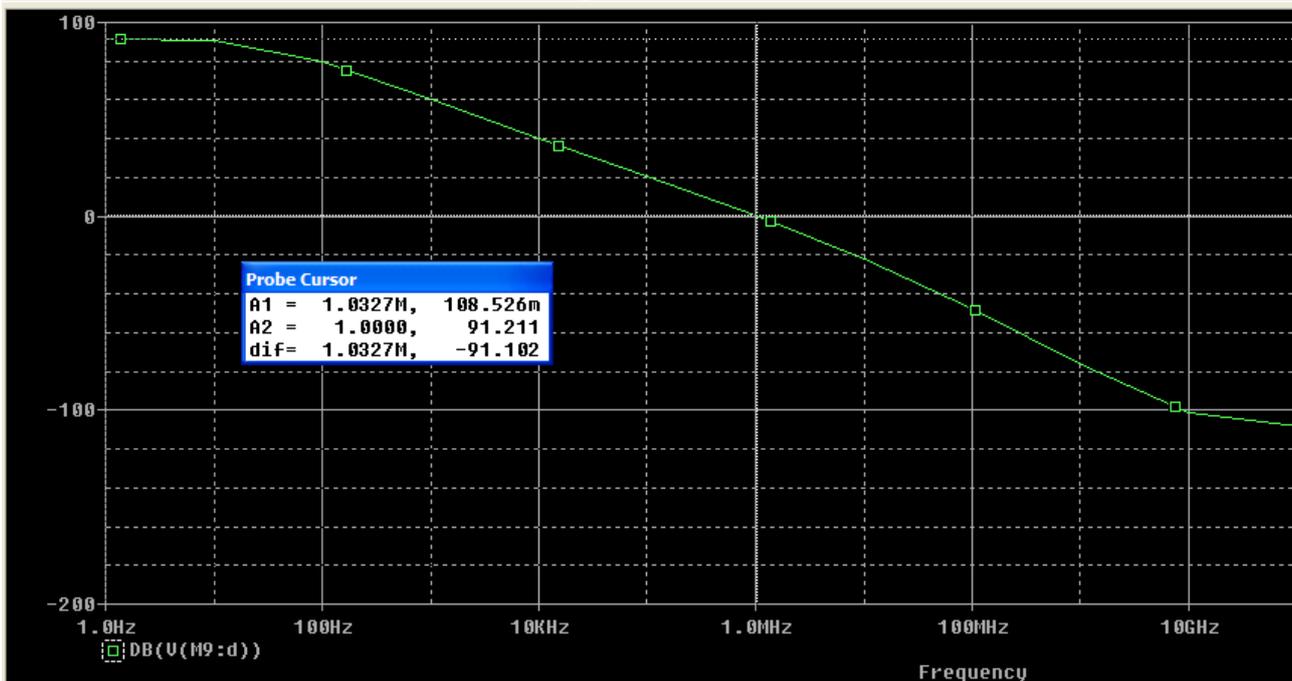
Si è scelto così:

$$Rc = 1/Gm2 = 40.8 \text{ k}\Omega \quad \text{in modo da portare lo zero a frequenza infinita}$$

$$\omega_t = 6.3 \text{ MHz} \rightarrow Cc = Gm1/\omega_t = 2.24 \text{ pF}$$



Simulando con PSPICE si ottiene il seguente risultato:



$A_0 = 91.2$ dB guadagno in continua

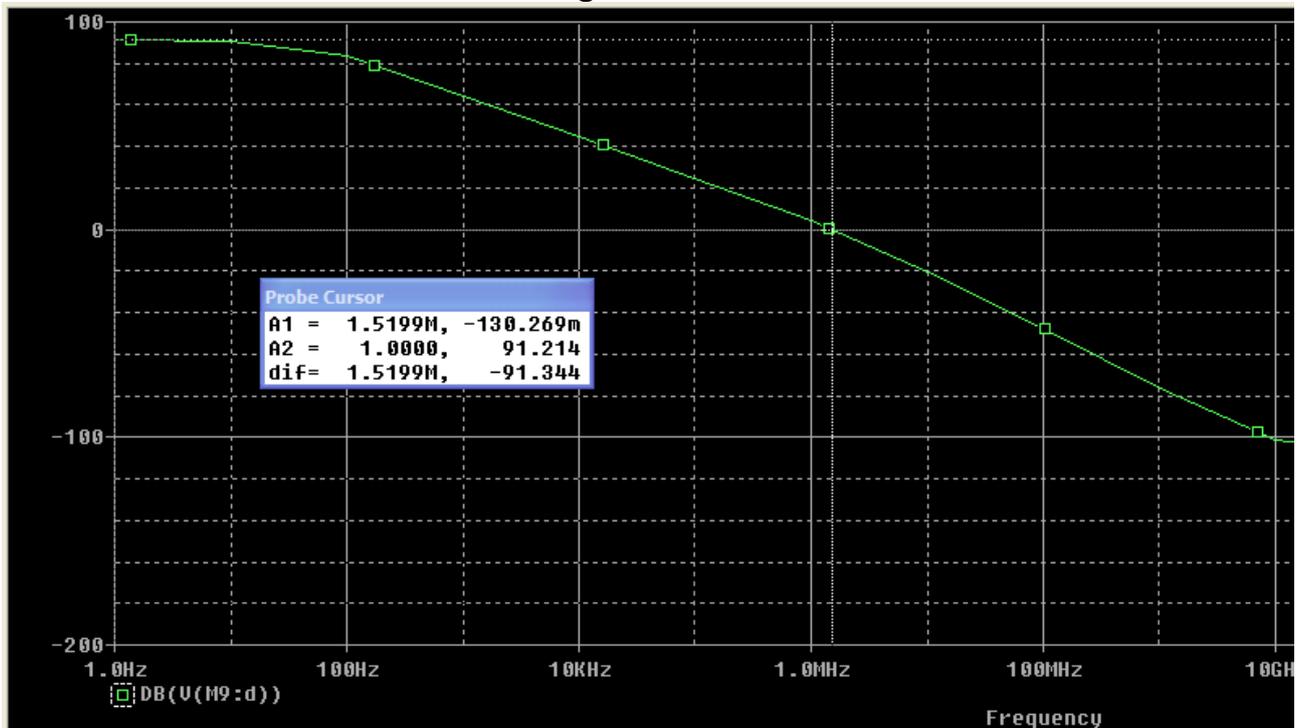
$f_p = 17.6$ Hz frequenza a -3 dB

$f_t = 1$ MHz frequenza di taglio

Se si vuole aumentare la banda passante dell'amplificatore si deve diminuire il valore della capacità di compensazione:

$$\omega_t = 10 \text{ MHz} \rightarrow C_c = G_{m1}/\omega_t = 1.4 \text{ pF}$$

Simulando con PSPICE si ottiene il seguente risultato:



$A_0 = 91.2 \text{ dB}$ guadagno in continua

$f_p = 26 \text{ Hz}$ frequenza a -3 dB

$f_t = 1.5 \text{ MHz}$ frequenza di taglio

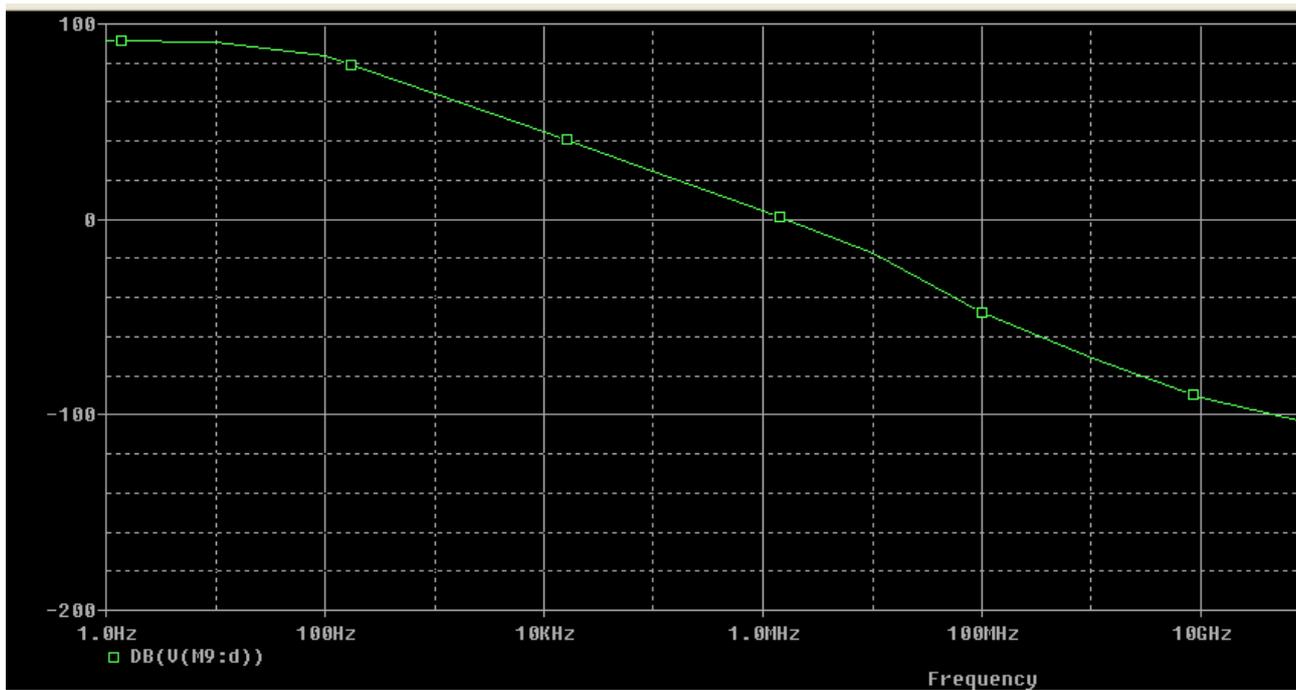
Diminuendo il valore di C_c e aumentando così la banda passante, si è però peggiorata la stabilità dell'amplificatore, in quanto i due poli del sistema si sono riavvicinati.

9.4) Implementazione di R_c

La resistenza di compensazione R_c può essere implementata ovviamente con una normalissima resistenza in silicio, come nel precedente paragrafo, ma una soluzione differente e molto più interessante è quella di adoperare un MOSFET polarizzato nella zona di triodo, cioè con una V_{DS} piccola, in modo da occupare minor spazio sul chip e di ottenere una tolleranza maggiore.

Infatti in tale zona di funzionamento il transistor si comporta come una resistenza lineare controllata in tensione, precisamente dalla tensione V_{GS} .

Quindi un MOSFET in zona di triodo può essere rappresentato con una resistenza controllata da V_{GS} :



$A_0 = 91.2 \text{ dB}$ guadagno in continua

$f_p = 25 \text{ Hz}$ frequenza a -3 dB

$f_t \approx 1.6 \text{ MHz}$ frequenza di taglio

Come si vede dai valori ottenuti, essi sono molto simili ai valori avuti utilizzando il resistore R_c .

10) BIBLIOGRAFIA

- **“Dispense progetto analogica 2006-2007”** (Cappuccino/Pugliese)
- **“Circuiti per la microelettronica”** (Sedra/Smith)
- **“Amplificatori operazionali e circuiti integrati analogici”** (Sergio/Franco)
- **“Dispense elettronica industriale”** (G.Capuano)
- **“L’amplificatore operazionale”** (M.Bertolaccini)
- **“Amplificatori CMOS”** (M.Bertolaccini)